

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 8 月 2 9 日

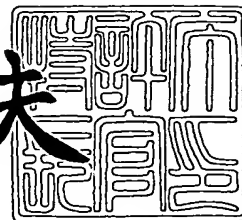
出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 0 7 7 6 6
[ST. 10/C]: [J P 2 0 0 3 - 3 0 7 7 6 6]

出 願 人
Applicant(s): 株式会社東芝
東芝アイティー・ソリューション株式会社

2 0 0 3 年 9 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000303894
【提出日】 平成15年 8月29日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/08
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 北川 信孝
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 高田 秀一
【発明者】
 【住所又は居所】 神奈川県川崎市幸区堀川町 6 6 番地 2 東芝アイティー・ソリュ
 ーション株式会社内
 【氏名】 佐々木 信之
【発明者】
 【住所又は居所】 神奈川県横浜市神奈川区鶴屋町 2 丁目 2 6 番地 2 株式会社メイ
 テック横浜エンジニアリングセンター内
 【氏名】 神之田 康彦
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【特許出願人】
 【識別番号】 301063496
 【氏名又は名称】 東芝アイティー・ソリューション株式会社
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男

【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【先の出願に基づく優先権主張】
【出願番号】 特願2003-113191
【出願日】 平成15年 4月17日
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9705037
【包括委任状番号】 0117417

【書類名】 特許請求の範囲**【請求項 1】**

第 1 内蔵抵抗と外部抵抗とが第 1 ノードを介して直列接続される第 1 直列回路と、内蔵基準電圧が第 1 入力端子に入力され、第 2 入力端子が前記第 1 ノードに接続され、出力端子が前記第 1 直列回路に接続される第 1 オペアンプとから構成される共通バイアス部と、

第 2 内蔵抵抗とインピーダンス模擬抵抗とが第 2 ノードを介して直列接続される第 2 直列回路と、第 1 入力端子が前記第 1 ノードに接続され、第 2 入力端子が前記第 2 ノードに接続されるコンパレータと、前記コンパレータの出力信号をクロック信号でラッチし、複数の切り替えコードのうちの 1 つを出力するコード制御回路とから構成されるインピーダンストリミング部とを具備し、

前記第 1 オペアンプの出力端子は、前記第 2 直列回路にも接続され、

前記複数の切り替えコードのうちの 1 つを用いて、前記インピーダンス模擬抵抗の抵抗値及び実際にインピーダンス調整の対象となるターゲットインピーダンス調整抵抗の抵抗値を切り替えることを特徴とするインピーダンス調整回路。

【請求項 2】

請求項 1 に記載のインピーダンス調整回路において、さらに、

前記コード制御回路から出力される前記複数の切り替えコードのうちの 1 つをラッチするコード平坦化回路から構成されるコード平坦化部を具備し、

前記コード平坦化回路は、ラッチされた前記複数の切り替えコードのうちの 1 つに基づいて、前記ターゲットインピーダンス調整抵抗の抵抗値を固定することを特徴とするインピーダンス調整回路。

【請求項 3】

前記コード制御回路から出力される前記複数の切り替えコードのうちの 1 つが周期的遷移を繰り返すようになったとき、前記コード平坦化回路により、前記複数の切り替えコードのうちの 1 つがラッチされることを特徴とする請求項 2 に記載のインピーダンス調整回路。

【請求項 4】

前記コード制御回路から出力される切り替えコードの値は、前記コンパレータの出力信号に応じて次第にアップし、その値が最初にダウンしたときに、前記コード平坦化回路は、前記複数の切り替えコードのうちの 1 つをラッチすることを特徴とする請求項 3 に記載のインピーダンス調整回路。

【請求項 5】

前記複数の切り替えコードは、 n (n は、複数) ビットから構成され、前記周期的遷移が特定の 2 ビットの間で繰り返されている場合には、前記コード平坦化回路は、前記 2 ビットのうちのいずれか 1 つをラッチすることを特徴とする請求項 3 に記載のインピーダンス調整回路。

【請求項 6】

前記複数の切り替えコードは、 n (n は、複数) ビットから構成され、前記周期的遷移が特定の 3 ビットの間で繰り返されている場合には、前記コード平坦化回路は、前記 3 ビットの中間にある 1 ビットをラッチすることを特徴とする請求項 3 に記載のインピーダンス調整回路。

【請求項 7】

前記共通バイアス部と前記インピーダンストリミング部とからなる対は、1 つ又は複数存在することを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 8】

前記インピーダンス模擬抵抗は、出力バッファを含んでいることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 9】

前記インピーダンス模擬抵抗は、入力インピーダンス、終端抵抗、プルアップ抵抗又はプルダウン抵抗を含んでいることを特徴とする請求項 1 又は 2 に記載のインピーダンス調

整回路。

【請求項 10】

前記複数の切り替えコードと前記インピーダンス模擬抵抗の抵抗値との関係は、逆数、折れ線、又は、S 字の関係の有していることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 11】

前記第 1 及び第 2 内蔵抵抗の抵抗値は、パッケージ、リード又はフレームに寄生する寄生抵抗を含み、前記インピーダンス模擬抵抗の抵抗値の調整範囲をシフトするために調整されることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 12】

前記外部抵抗は、LSI の外部に設けられる高精度抵抗であり、前記第 1 及び第 2 内蔵抵抗の抵抗値は、前記外部抵抗の値に基づいて切り替えられることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 13】

前記第 1 及び第 2 内蔵抵抗の抵抗値は、パッケージ及びリードフレームに寄生する寄生抵抗、並びに、前記外部抵抗の値に基づいて切り替えられることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 14】

前記第 1 内蔵抵抗は、第 1 及び第 2 抵抗素子から構成され、前記第 1 抵抗は、設計時点での前記内蔵基準電圧の値と使用時点での前記内蔵基準電圧の値との差の電圧を発生させ、前記第 1 及び第 2 抵抗素子の抵抗値は、

$$R_{ext} : R_{lower} + R_{upper} = R_{trim} : R_t$$

(但し、 R_{ext} は、前記外部抵抗の抵抗値、 R_{lower} は、前記第 1 抵抗素子の抵抗値、 R_{upper} は、前記第 2 抵抗素子の抵抗値、 R_{trim} は、前記インピーダンス模擬抵抗の抵抗値、 R_t は、前記第 2 内蔵抵抗の抵抗値)

の関係を満足するように、前記内蔵基準電圧の値に応じて調整されることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 15】

前記外部抵抗に代わり、前記第 1 及び第 2 内蔵抵抗及び前記インピーダンス模擬抵抗よりも高精度な内蔵抵抗を用いることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 16】

前記インピーダンストリミング部は、第 2 オペアンプを有し、前記第 2 オペアンプの第 1 入力端子は、前記第 1 直列回路に接続され、前記第 2 オペアンプの第 2 入力端子及び出力端子は、前記第 2 直列回路に接続されることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 17】

前記インピーダンス模擬抵抗の抵抗値は、前記ターゲットインピーダンス調整抵抗の抵抗値に対して正数倍となる関係を維持していることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 18】

前記インピーダンストリミング部は、出力インピーダンスをトリミングする出力インピーダンストリミング部、又は、入力インピーダンスをトリミングする入力インピーダンストリミング部であることを特徴とする請求項 1 又は 2 に記載のインピーダンス調整回路。

【請求項 19】

第 1 内蔵抵抗と外部抵抗とが第 1 ノードを介して直列接続される第 1 直列回路と、内蔵基準電圧が第 1 入力端子に入力され、第 2 入力端子が前記第 1 ノードに接続され、出力端子が前記第 1 直列回路に接続される第 1 オペアンプとから構成される共通バイアス部と、

第 2 内蔵抵抗と出力インピーダンス模擬抵抗とが第 2 ノードを介して直列接続される第 2 直列回路と、第 1 入力端子が前記第 1 ノードに接続され、第 2 入力端子が前記第 2 ノー

ドに接続される第1コンパレータと、前記第1コンパレータの出力信号をクロック信号でラッチし、複数の第1切り替えコードのうちの1つを出力する第1コード制御回路とから構成される出力インピーダンストリミング部と、

第3内蔵抵抗と入力インピーダンス模擬抵抗とが第3ノードを介して直列接続される第3直列回路と、第1入力端子が前記第1ノードに接続され、第2入力端子が前記第3ノードに接続される第2コンパレータと、前記第2コンパレータの出力信号を前記クロック信号でラッチし、複数の第2切り替えコードのうちの1つを出力する第2コード制御回路とから構成される入力インピーダンストリミング部とを具備し、

前記第1オペアンプの出力端子は、前記第2及び第3直列回路にも接続され、

前記複数の第1切り替えコードのうちの1つを用いて、前記出力インピーダンス模擬抵抗の抵抗値及び実際に出力インピーダンス調整の対象となる第1ターゲットインピーダンス調整抵抗の抵抗値を切り替え、

前記複数の第2切り替えコードのうちの1つを用いて、前記入力インピーダンス模擬抵抗の抵抗値及び実際に入力インピーダンス調整の対象となる第2ターゲットインピーダンス調整抵抗の抵抗値を切り替えることを特徴とするインピーダンス調整回路。

【書類名】 明細書

【発明の名称】 インピーダンス調整回路

【技術分野】

【0001】

本発明は、出力インピーダンス、入力インピーダンス、終端抵抗などのインピーダンスマッチングを行うことにより、信号の反射を抑えて、高速シリアル信号の高品質な転送を行うインピーダンス調整回路に関し、特に、高精度、かつ、自動的にインピーダンスを調整することが要求されるLSIに使用される。

【背景技術】

【0002】

従来、USB 2.0 (480Mbps) やLVDS (数Gbps) などの高速インターフェイスにおいて、入力インピーダンス、駆動インピーダンス、プルアップ／プルダウン抵抗などを規格値 (例えば、 $\pm 10\%$) に合わせることは、転送信号の波形の反射を抑え、高品質な高速信号伝送を行うに当たって、必要不可欠であった。

【0003】

しかしながら、LSI 製造工程で作り込んだ抵抗素子のバラツキ (例えば、 $\pm 20\%$) や、出力トランジスタのオン抵抗の温度・電源電圧・閾値依存性など (例えば、ワーストベスト＝倍／半分) が大きく、何らかの調整回路が必要とされていた。

【0004】

従来技術の第1例として、非特許文献1を示す。

非特許文献1では、図26及び図27に示すように、オペアンプは、外部抵抗 R_{ext} の電圧降下を内部基準電圧 V_{ref} に調整する。オペアンプの出力信号は、2つのPチャネルMOSトランジスタのゲートに供給される。出力バッファの出力信号は、プラスとマイナスの差動出力として、Data+端子とData-端子に、内蔵抵抗の電圧降下により得られる。この回路は、データ転送のための回路とは別に、調整のための補助回路を有している。補助回路は、VA端子の電位が V_{ref} に最も近くなるようなコードを見付け出す制御を行う。

【0005】

この場合、出力インピーダンスは、内蔵抵抗及びMOS抵抗となるが、この従来例では、この値を、 $45\Omega \pm 5\Omega$ に調整している。即ち、コンパレータと制御回路でMOSトランジスタのサイズを調整し、最もエラーの小さいコードを見付け出して、MOSトランジスタのサイズを加減し、そのコードを出力バッファに与える。

【0006】

しかしながら、この方法では、基準電圧のバラツキ、オペアンプの入力オフセット電圧、PチャネルMOSトランジスタからなる電流源の電流比のバラツキ、MOS抵抗のバラツキなど、種々のバラツキ要因の影響を受けるため、実際には、高精度に調整することは困難であった。

【0007】

例えば、PチャネルMOSトランジスタからなる電流源の電流比が、5%程度、ばらついた場合には、このバラツキだけで、出力インピーダンス $45\Omega \pm 5\Omega$ のバラツキ許容範囲となってしまふ。このため、歩留りの低下、製造工程の管理に労力を要するなどのデメリットが生じ、現実的に、精度良く、調整することが困難となる。

【0008】

さらに、従来技術の第2例として、非特許文献2を示す。

非特許文献2では、図28に示すように、外部から与えられる基準電圧 V_{ref} と、外部抵抗と内蔵トリミング抵抗による分圧電圧とが最も等しくなるように、内蔵トリミング抵抗の値を切り替え、その切り替えコードを、入力終端抵抗の切り替えに反映させる。

【0009】

内蔵トリミング抵抗は、図29に示すように、IPとINの間に直接接続される抵抗 R_0 と、コードによりオン／オフが制御されるスイッチを介して接続される抵抗 $R_1 \sim R_8$

とから構成される。

【0010】

図30に示すように、内蔵抵抗のバラツキ範囲を考慮して、抵抗R0の値は、予め大きな値とし、抵抗R1～R8を順次接続する事で、内蔵トリミング抵抗の調整を広範囲で行い、規格値 $100\Omega \pm 10\Omega$ の範囲に入るようにしている。

【0011】

しかしながら、この方法では、外部に、基準電圧Vrefを発生させる回路と高精度な2つの抵抗が必要となるため、コストが増大するという問題がある。また、この方法は、入力終端部に使えるだけである。出力インピーダンスの調整は、従来技術の第1例に示すように、出力バッファのオン抵抗を含めて調整しなければならない。

【0012】

従来技術の第3例として、特許文献1を示す。

特許文献1では、図31に示すように、外部抵抗RQの電圧降下VZQが電源VDDQの $1/2$ になるように、オペアンプによりPチャネルMOSトランジスタからなる電流源の電流を調整している。また、カレントミラーにより、出力ドライバに電流を流し、その電圧降下がVZQに等しくなるように、出力ドライバのサイズを調整する。

【0013】

この場合でも、オペアンプのオフセット電圧や、カレントミラー電流のバラツキなど、これらの要因が、直接、出力抵抗のバラツキに影響するため、高精度に調整することには限界があった。

【特許文献1】特開2001-94048号公報

【特許文献2】特開平8-335871号公報

【特許文献3】特開平11-31960号公報

【特許文献4】特開2003-69412号公報

【非特許文献1】ESSCIRC2001 "A New Impedance Control Circuit for USB2.0 Transceiver" Koo K.-H. SAMSUNG Electronics (http://www.esscirc.org/esscirc2001/C01_Presentations/5.pdf)

【非特許文献2】ESSCIRC2001 "Digitally tuneable on-chip line termination resistor for 2.5Gbit/s LVDS receiver in 0.25 μ m standard CMOS technology" M. Kumric, F. Ebert, R. Ramp, K. Welch Alcatel SEL Stuttgart (http://www.esscirc.org/esscirc2001/C01_Presentations/98.pdf)

【発明の開示】

【発明が解決しようとする課題】

【0014】

このように、従来では、LSI製造工程のバラツキの影響を排除し、高精度のトリミングを実現すると共に、少ない外部部品で構成することができるインピーダンス調整回路が切望されていた。

【0015】

本発明の目的は、LSI製造工程のバラツキの影響を排除し、高精度のトリミングを実現すると共に、少ない外部部品で構成することができるインピーダンス調整回路を提供することにある。

【課題を解決するための手段】

【0016】

本発明の例に関わるインピーダンス調整回路装置は、(1)第1内蔵抵抗と外部抵抗とが第1ノードを介して直列接続される第1直列回路と、内蔵基準電圧が第1入力端子に入力され、第2入力端子が前記第1ノードに接続され、出力端子が前記第1直列回路に接続される第1オペアンプとから構成される共通バイアス部、及び、(2)第2内蔵抵抗とインピーダンス模擬抵抗とが第2ノードを介して直列接続される第2直列回路と、第1入力端子が前記第1ノードに接続され、第2入力端子が前記第2ノードに接続されるコンパレータと、前記コンパレータの出力信号をクロック信号でラッチし、複数の切り替えコードを生

成するコード制御回路とから構成されるインピーダンストリミング部とを備え、前記第1オペアンプの出力端子は、前記第2直列回路にも接続され、前記複数の切り替えコードのうちの1つを用いて、前記インピーダンス模擬抵抗の抵抗値及び実際にインピーダンス調整の対象となるターゲットインピーダンス調整抵抗の抵抗値を切り替える。

【発明の効果】

【0017】

本発明の例に関わるインピーダンス調整回路によれば、LSI製造プロセスのバラツキの影響を排除し、高精度のトリミングを実現すると共に、少ない外部部品で構成することにより、製造コストの低減を実現することができる。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0019】

1. 概要

まず、本発明の例に関わるインピーダンス調整回路は、基準電圧回路、内蔵抵抗R1、高精度外部抵抗R_{ext}及びオペアンプOP1から構成される共通バイアス回路と、別の内蔵抵抗R_{to}、ドライバ模擬抵抗R_{drv}、出力インピーダンス模擬抵抗R_{to_trim}、オペアンプOP1、コンパレータCMP及びコード制御回路から構成される出力インピーダンス調整回路とを有する。

【0020】

そして、内蔵抵抗の抵抗値をR1、高精度外部抵抗の抵抗値をR_{ext}、別の内蔵抵抗の抵抗値をR_{to}、ドライバ模擬抵抗の抵抗値を、R_{drv}、出力インピーダンス模擬抵抗の抵抗値を、R_{to_trim}とした場合に、

$$R_{ext} : R1 = (R_{drv} + R_{to_trim}) : R_{to}$$

の関係、又は、これに最も近い関係となるように、R_{to_trim}の値を切り替え、この切り替え情報をドライバ回路へ反映させる。

【0021】

また、本発明の例に関わるインピーダンス調整回路は、さらに、別の内蔵抵抗R_{ti}、入力インピーダンス模擬抵抗R_{ti_trim}、オペアンプOP2、コンパレータCMP及びコード制御回路から構成される入力インピーダンストリミング回路を有する。そして、別の内蔵抵抗の抵抗値をR_{ti}、入力インピーダンス模擬抵抗の抵抗値をR_{ti_trim}とした場合に、

$$R_{ext} : R1 = R_{ti_trim} : R_{ti}$$

の関係、又は、これに最も近い関係となるように、R_{ti_trim}の値を切り替え、この切り替え情報を入力インピーダンス回路へ反映させる。

【0022】

なお、本発明の例に関わるインピーダンス調整回路は、出力インピーダンス調整回路及び入力インピーダンス調整回路のうちの少なくとも1つを有していればよい。また、出力インピーダンス調整回路のみを使用する場合、入力インピーダンス調整回路のみを使用する場合、又は、これら双方を使用する場合において、これらの要素は、複数存在してもよい。

【0023】

2. 第1実施の形態

図1は、本発明の第1実施の形態に関わるインピーダンス調整回路を示している。

【0024】

R_{drv}（記号△）は、出力ドライバを表している。共通バイアス部11は、ノードV_{r1}を介して接続される内蔵抵抗R1及び高精度の外部抵抗R_{ext}、内部基準電圧V_{ref}とノードV_{r1}の電圧が入力されるオペアンプOP1、PチャネルMOSトランジスタP1、並びに、NチャネルMOSトランジスタN1を有する。電源V_{DD}に接続される

PチャネルMOSトランジスタP1は、他の回路に与える定電流バイアスを生成するためのバイアス生成回路であり、付属回路である。

【0025】

以下、図1に基づき、その動作を説明する。

オペアンプOP1は、電圧 V_{r1} が内部基準電圧 V_{ref} に等しくなるように、NチャネルMOSトランジスタ（電流制御素子）N1のゲート電圧を制御する。電圧 V_{r2} は、電圧 V_{r1} に対し、電流 I_1 による抵抗 R_1 の電圧降下分を加えた値、即ち、 $V_{r2} = V_{r1} + (R_1 / R_{ext}) \times V_{r1}$ となる。

【0026】

具体的に計算例を示す。

内部基準電圧 V_{ref} は、例えば、 $1.2V \pm 5\%$ とする。外部抵抗 R_{ext} は、高精度抵抗、例えば、 $12K\Omega \pm 0.1\%$ とする。電源電圧 V_{DD} は、例えば、 $3.3V \pm 10\%$ 、オペアンプOP1のオフセット電圧は、例えば、 $\pm 10mV$ とする。

【0027】

外部抵抗 R_{ext} による電圧降下値が内蔵基準電圧 V_{ref} に等しくなるように、オペアンプOP1とNチャネルMOSトランジスタ（電流制御素子）N1とからなる負帰還回路が働く。その結果、 V_{r1} は、 V_{ref} となる。内蔵基準電圧 V_{ref} のバラツキとオペアンプOP1のオフセットによる影響で、精度は、 $(1.2V \pm 5\%) \pm 10mV$ 、つまり、 $1.2V \pm 0.07V$ となる。

【0028】

電流 I_1 は、 V_{r1} / R_{ext} となるが、この電流 I_1 も、同様に、例えば、 $100\mu A \pm 7\mu A$ という具合にばらつく。電圧 V_{r2} は、内蔵抵抗 R_1 のバラツキに直接影響される。内蔵抵抗 R_1 のバラツキを、例えば、 $2.4K\Omega \pm 20\%$ とすると、電圧 V_{r2} は

$$\begin{aligned} V_{r2} &= V_{r1} + I_1 \times R_1 \\ &= (1.2V \pm 0.07V) + \\ &\quad (100\mu A \pm 7\mu A) \times (2.4K\Omega \pm 0.48K\Omega) \\ &= 1.44V \pm 0.13V \end{aligned}$$

となる。

【0029】

ここで重要なことは、 V_{r2} は、内蔵抵抗 R_1 の外部抵抗 R_{ext} に対するバラツキを含む比を検出しているということである。

【0030】

次に、出力インピーダンストリミング部12の動作を説明する。

出力インピーダンストリミング部は、電圧 V_{r1} と電圧 V_{to1} が入力されるコンパレータCMP、電圧 V_{r2} と電圧 V_{to2} が入力されるオペアンプOP2、コンパレータCMPの出力信号を受けるコード制御回路13、NチャネルMOSトランジスタ（電流制御素子）N2、内蔵抵抗 R_{to} 、出力インピーダンス模擬抵抗 R_{to_trim} 、及び、出力ドライバ模擬抵抗 R_{drv} から構成される。

【0031】

オペアンプOP2は、電圧 V_{to2} が電圧 V_{r2} に等しくなるように、NチャネルMOSトランジスタN2のゲート電圧を制御する。この状態で、電圧 V_{to1} は、 R_{to} と $(R_{to_trim} + R_{drv})$ との分圧電圧となるが、重要なことは、 R_{ext} と R_1 との比は、 $R_{to_trim} + R_{drv}$ と R_{to} との比に等しくなることにある。

$$R_{ext} : R_1 = (R_{to_trim} + R_{drv}) : R_{to}$$

外部抵抗 R_{ext} は、高精度である。このため、内蔵抵抗 R_1 、 R_{to} 、 R_{to_trim} 、 R_{drv} の値がそれぞればらついていても、一般的には、 R_1 と R_{to} との相対精度が良くなるように製造すれば、 $R_{to_trim} + R_{drv}$ の値は、正確に、規格値の範囲内に収めることが可能である。

【0032】

コード制御回路 13 は、例えば、多段シフトレジスタから構成される。 V_{r1} と V_{t01} の比較結果であるコンパレータ CMP 出力は、クロック信号 CLK でシフトする多段シフトレジスタに入力される。シフトレジスタの各段からコードを取り出して、抵抗切り替えを行う。抵抗切り替えを行うに当たっては、例えば、従来技術の第 2 例で示したものを使用できる。

【0033】

この状態で、クロック信号 CLK が何度も供給されるうちに、最も、 V_{r1} と V_{t01} の電位関係が正逆転（周期的遷移）を繰り返す状態、つまり、 V_{r1} と V_{t01} が最も近くて、± を横切る 2 つの状態を行き来するか、又は、コードが停止して安定することになる。この状態は、 $R_{to_trim} + R_{drv}$ が最も規格値に等しくなるコードとなる。

【0034】

具体的に計算例を示す。

オペアンプのオフセット電圧を、例えば、 $\pm 10 \text{ mV}$ とすると、

$$\begin{aligned} V_{t02} &= V_{r2} \pm 10 \text{ mV} = 1.44 \text{ V} \pm 0.13 \text{ V} \pm 10 \text{ mV} \\ &= 1.44 \text{ V} \pm 0.14 \text{ V} \end{aligned}$$

となる。

【0035】

電流値 I_{t0} は、

$$V_{t02} / (R_{to} + R_{to_trim} + R_{drv})$$

となる。

【0036】

この電流 I_{t0} により、 V_{t01} は、その電圧効果として、

$$V_{t01} = I_{t01} \times (R_{to_trim} + R_{drv})$$

となる。

【0037】

依って、

$$\begin{aligned} V_{t01} &= V_{t02} / (R_{to} + R_{to_trim} + R_{drv}) \times (R_{to_trim} + R_{drv}) \\ &= V_{t02} / (1 + R_{to} / (R_{to_trim} + R_{drv})) \end{aligned}$$

となり、 V_{t02} は、 V_{t02} の抵抗比で決定されることになる。

【0038】

コンパレータ CMP は、 V_{r1} と V_{t01} が最も等しくなるように、 R_{to_trim} を選択するので、この時、コンパレータ CMP のオフセット電圧を、 V_{offcmp} ($\pm 20 \text{ mV}$) とすると、

$$V_{t01} = V_{r1} \pm V_{offcmp}$$

となる。

【0039】

具体的には、

$$\text{右辺} = 1.2 \text{ V} \pm 0.07 \text{ V} \pm 0.02 \text{ V} = 1.2 \text{ V} \pm 0.09 \text{ V}$$

である。

【0040】

この右辺と左辺 V_{t01} を等しいとすれば、

$$1.2 \text{ V} \pm 0.09 \text{ V} = (1.44 \text{ V} \pm 0.14 \text{ V}) / (1 + R_{to} / (R_{to_trim} + R_{drv}))$$

となる。

【0041】

ここで、 R_{to} と $(R_{to_trim} + R_{drv})$ からなる出力インピーダンス調整回路は、その消費電流を軽減するために、実際の出力バッファ回路 R_{drv} 及び実際にインピーダンス調整の対象となるターゲットインピーダンス調整抵抗 R_{to_use} に対して、正数倍、例えば、6 倍の抵抗比を有するようにして構成するものとする。

【0042】

従って、例えば、実際のドライバ出力インピーダンスを 45Ω としたい場合、

$R_{to_trim} + R_{drv}$ は、 270Ω となり、

R_{to} は、 $R_{ext} : R_1 = (R_{to_trim} + R_{drv}) : R_{to}$

の関係、即ち、 $12K\Omega : 2.4K\Omega = 270\Omega : 54\Omega$ より、
 54Ω となる。

【0043】

また、 $R_{to_trim} + R_{drv} = 270\Omega$ 、 $R_{to_trim} = 240\Omega$ 、 $R_{drv} = 30\Omega$ とする。

【0044】

ここで重要なことは、 R_1 と R_{to} は、同一の集積回路内に形成された抵抗であるため、相対精度良く製造できる、という点にある。また、 R_{to_trim} に関しても、同様に、相対精度良く製造することができるが、 R_{drv} は、例えば、MOS トランジスタから構成されるため、そのバラツキには、トランジスタ製造バラツキが含まれる。

【0045】

先ほどの式に代入すると、

$$1.2V \pm 0.09V = (1.44V \pm 0.14V) / (1 + (R_{to} / (R_{to_trim} + R_{drv})))$$

となり、依って、

$$R_{to} / (R_{to_trim} + R_{drv}) = ((1.44V \pm 0.14V) / (1.2V \pm 0.09V)) - 1$$

となる。

【0046】

従って、調整される抵抗 R_{to_trim} を、左辺に書き出すと、

$$R_{to_trim} = (R_{to} / ((1.44V \pm 0.14V) / (1.2V \pm 0.09V)) - 1) - R_{drv}$$

となる。

【0047】

具体的な値を代入する。

$$R_{drv} = 30\Omega \pm 20\Omega、$$

$$R_{to} = 54\Omega \pm 10.8\Omega$$

とすると、

$$R_{to_trim} = ((54\Omega \pm 10.8\Omega) / ((1.44V \pm 0.14V) / (1.2V \pm 0.09V) - 1)) - (30\Omega \pm 20\Omega)$$

となる。

【0048】

全てセンター条件であれば、

$$R_{to_trim}(\text{センター}) = (54\Omega / ((1.44V / 1.2V) - 1)) - 30\Omega = 240\Omega$$

として計算することができる。

【0049】

つまり、 R_{to_trim} が 240Ω に最も近づくように調整される場合、結果的に、 240Ω が最終値として求まることになる。直列になる $R_{drv} = 30\Omega$ と合わせれば、 270Ω となり、ターゲットとする 45Ω の 6 倍の抵抗に正確に調整されることになる。

【0050】

種々の要因のバラツキを上記計算により求めることができるが、雑多な計算を要することになるため、ここでは、省略する。大事なことは、広いバラツキ範囲を想定し、出力インピーダンス模擬抵抗 R_{to_trim} の調整範囲を広範囲に調整可能としておく点にある。

【0051】

図2は、トリミング回路の調整範囲の実施例を示す。

インピーダンス調整回路と実際のドライバ回路との抵抗比を同じにすると、インピーダンス調整回路には多くの電流が流れてしまい、好ましくない。そこで、インピーダンス調整回路内における電流値を絞るために、出力インピーダンス模擬抵抗 R_{to_trim} の値は、実際にインピーダンス調整の対象となるターゲットインピーダンス調整抵抗 R_{to_use} の抵抗値の正数倍、例えば、6 倍程度に大きく設計する。以下の表1では、出力ドライバのインピーダンスに換算して記載している。

【表1】

Rtrm	53.33	*0.8	*1.2	*0.9	*1.1
Rsw	5	3	8	3	8
Code	Typ	(-20%)	(+20%)	(-10%)	(+10%)
0	58.33	45.67	72.00	51.00	66.67
1	53.70	41.96	66.43	46.83	61.57
2	49.80	38.84	61.76	43.32	57.28
3	46.48	36.19	57.78	40.33	53.63
4	43.62	33.90	54.34	37.76	50.48
5	41.13	31.90	51.35	35.52	47.74
6	38.94	30.15	48.73	33.55	45.33
7	37.00	28.60	46.40	31.80	43.20

【0052】

コード制御回路13を7段シフトレジスタから構成することにより（図4参照）、コード制御回路13の各段の状態を8通りとし、切り替えにより、実際のドライバの出力インピーダンスがどのように変化するかを示している。

【0053】

R_{to_trim} は、20%、切り替えに必要なスイッチの抵抗は、 $5\Omega + 3\Omega / -2\Omega$ として、バラツキ範囲を含めて、グラフに示している。

【0054】

トリミング回路は、従来技術の第2例の抵抗切り替え部と同じとし、 $R_0 = 53.33\Omega$ 、各スイッチの抵抗値 = 5Ω 、 $R_1, \dots, R_7 = 560\Omega$ 、ドライバ抵抗 $R_{drv} = 5\Omega$ として計算している。

【0055】

内蔵抵抗のバラツキを予め考慮して、 $R_{to_trim} + R_{drv}$ は、狙い目（この場合、 45Ω ）に対し、大きめの値から小さめの値にコードで切り替え可能であるように設定する。

【0056】

例えば、ドライバ回路においては、 $R_{to} + R_{drv}$ は、最大、 58.33Ω 、最小、 37Ω となるように設定している。 $*0.8$ や $*1.2$ などは、各々のバラツキや各種依存性を加味したバラツキ計算例である。標準では、コード3とコード4の間で最適な 45Ω を横切っているが、 $*0.8$ のベスト条件であっても、コード0とコード1の間、 $*1.2$ のワースト条件であっても、コード6とコード7の間で、最適な値を見付け出すこと

ができる。

【0057】

規格値を $45\Omega \pm 5\Omega$ とした場合でも、内蔵抵抗の $\pm 20\%$ のバラツキに対して調整可能なことが分かる。

【0058】

結局の所、 $V_{r1} \doteq V_{t01}$ が等しくなるように、 $V_{t1} \doteq V_{t02}$ 、 I_{t0} などが制御される訳であり、結果的に、 V_{ref} を始め、このような中間変数は、正確な抵抗比を最終結果とする制御系の中間変数でしかなく、直接の影響が排除されていることが理解できる。

【0059】

さらに、重要なことは、詳細は示さないが、 V_{ref} 、オペアンプ OP1 のオフセット、電流のバラツキなどにも、非常に鈍感であることである。 $R1$ と R_{t0} の抵抗比については、正確である必要があるが、LSI の中に、ある程度以上の面積で、かつ、接近させて配置すれば、 $\pm 0.5\%$ 以下の相対精度は、容易に実現することができる。

【0060】

図3は、SPICEを用いて回路シミュレーションした結果を示している。

【0061】

同図は、縦軸に、コンパレータ CMP の入力となる $V_{t01} - V_{r1}$ をとり、横軸に、 $0 \sim 10\mu s$ までの時間を取り、 $37\Omega \sim 58.33\Omega$ まで、 R_{t0_trim} をリニアに変変させた場合のシミュレーション結果である。これまで述べてきたバラツキ範囲をモンテカルロ法で100回組み合わせても、下2本のライン以外の全てのラインは、 $0V$ のラインをクロスしており、このことから、調整可能である事が分かる。

【0062】

図4は、コード制御回路とインピーダンス模擬抵抗の実施例を示している。

【0063】

コード制御回路13は、例えば、7段のシフトレジスタから構成される。また、インピーダンス模擬抵抗 R_{t0_trim} は、抵抗 $R1$ と、これに並列接続される7個の直列素子とから構成される。各直列素子は、抵抗 R とスイッチ SW とから構成される。

【0064】

抵抗 R 、 $R1$ の抵抗値は、 R_{trm} であり、スイッチのオン時の抵抗値は、 R_{sw} である。以下では、 R_{sw} については、零とする。

【0065】

この場合、コード制御信号（コード値）の数としては、8通り、例えば、 $0 \sim 7$ となる。即ち、コード制御回路13の出力信号 a 、 b 、 $\dots g$ の全てが“L”（＝“0”）のとき、例えば、コード値は、0となり、全てのスイッチ SW は、オフ状態となり、インピーダンス模擬抵抗 R_{t0_trim} の抵抗値は、 R_{trm} となる。

【0066】

また、コード制御回路13の出力信号 a 、 b 、 $\dots g$ のうちの1つが“H”（＝“1”）のときは、例えば、コード値は、1となり、1つのスイッチ SW がオン状態となり、インピーダンス模擬抵抗 R_{t0_trim} の抵抗値は、 $R_{trm}/2$ となる。

【0067】

このように、コード制御回路13の出力信号 a 、 b 、 $\dots g$ に関しては、“1”となる信号の数（ k ）に応じて、インピーダンス模擬抵抗 R_{t0_trim} の抵抗値は、 R_{trm} から $R_{trm}/(k+1)$ までの範囲内で変化する。

【0068】

本例の回路では、 $V_{t01} > V_{r1}$ の状況下では、図1のコンパレータ CMP は、“1”を出力し続ける。コンパレータ CMP から出力される“1”は、クロック信号 CLK に同期して、順次、シフトレジスタ内をシフトしていく。つまり、 $V_{t01} > V_{r1}$ では、コード制御回路13の出力信号 a 、 b 、 $\dots g$ のうち“1”となるものの数は、次第に、増加（アップ）していく。

【0069】

具体的には、コード値が次第に上がり、オン状態のスイッチSWの数が次第に増加し、インピーダンス模擬抵抗 R_{to_trim} の抵抗値が次第に低下する。

【0070】

$V_{tol} < V_{r1}$ の関係になると、図1のコンパレータCMPは、“0”を出力する。この“0”は、クロック信号CLKに同期して、順次、シフトレジスタ内をシフトしていく。この後、一定期間が経過し、最初に入力された“1”が最後のシフトレジスタから出力されると、コード値が下がり、オン状態のスイッチSWの数が減り、インピーダンス模擬抵抗 R_{to_trim} の抵抗値が上昇する。

【0071】

そして、この後は、コード値は、 $V_{tol} > V_{r1}$ の関係となるコード値と $V_{tol} < V_{r1}$ の関係となるコード値との間を、繰り返し、行き来することになる（周期的遷移）。なお、これは、コード値が1ビット幅（2つのコード値の間）で遷移する場合であり、コード値が2ビット幅（3つのコード値の間）で遷移する場合には、コード値は、 $V_{tol} \geq V_{r1}$ の関係となるコード値と $V_{tol} \leq V_{r1}$ の関係となるコード値との間を、繰り返し、行き来することになる。

このようにして、コード値を最適値に確定させることになるが、シフトレジスタが、全て、“1”、つまり、全ての抵抗Rが抵抗R1に電氣的に並列に接続される状態では、 $V_{tol} \geq V_{r1}$ であれば、その状態で直ちにコードが確定する（最大値7）。シフトレジスタが、全て、“0”、つまり、最も高い抵抗値（抵抗R1の抵抗値）のみの状態では、 $V_{tol} \leq V_{r1}$ であれば、その状態で直ちにコードを確定する（最小値0）。

【0072】

この調整時の様子を図5の動作波形図に示す。

同図では、状態が行き来している様子を示している。

【0073】

3. 第2実施の形態

図6は、本発明の第2実施の形態に関わるインピーダンス調整回路を示している。

【0074】

この実施の形態は、入力インピーダンス調整回路14に関する。この回路は、先ほどの出力インピーダンス調整回路に比べ、ドライバ模擬抵抗及びドライバ自身が不用であり、単に、抵抗をトリミングし、得られたコードを用いて、入力インピーダンスを調整する。

【0075】

回路動作については、第1実施の形態における動作と同じであるため、ここでは、省略する。

【0076】

4. 第3実施の形態

図7は、本発明の第3実施の形態に関わるインピーダンス調整回路を示している。

【0077】

この実施の形態は、入出力インピーダンス調整回路に関する。この回路は、出力インピーダンストリミング部12と入力インピーダンストリミング部14を有する。この場合、1つの共通バイアス部11を、入力インピーダンストリミング部12と出力インピーダンストリミング部14とで共有することができる。

【0078】

回路動作については、第1実施の形態における動作と同じであるため、ここでは、省略する。

【0079】

5. 第4実施の形態

図8は、本発明の第4実施の形態に関わるインピーダンス調整回路を示している。

この実施の形態は、抵抗調整回路に関する。

【0080】

従来技術の第2例に示されている方法では、抵抗 R_0 に対し、同じ抵抗値を有する抵抗 $R_1 \sim R_8$ を並列に接続して、インピーダンスの調整を行っている。しかし、この方法では、バラツキ許容範囲を広げると、コード数が多くなる、高抵抗から低抵抗に広範囲に切り替えなければならないなどの問題があった。

【0081】

この実施の形態では、コードと抵抗値との関係は、S字カーブ又は折れ線カーブとなるため、広範囲なバラツキに対しても、少ないコードで、インピーダンスの調整を行うことができる。

【0082】

具体的には、例えば、従来技術の第2例における抵抗 R_0 を 55Ω とし、抵抗 R_1 及び抵抗 R_2 を 67Ω とし、抵抗 R_3 及び抵抗 R_4 及び抵抗 R_5 を 100Ω とし、抵抗 R_6 を 42Ω とし、抵抗 R_7 を 33Ω とする。このように、各抵抗の抵抗値に差を付けて、コードと抵抗値との関係をS字カーブ又は折れ線カーブとする。

【0083】

なお、調整に用いる抵抗値を変える場合、単純なシフトレジスタによるスイッチ制御ではなく、多段シフトレジスタの各段の出力に基づいて、1レベルの数を検出し、その数によって、並列に接続される抵抗を選択するようなデコード回路をさらに設けてもよい。

【0084】

6. 第5実施の形態

図9は、本発明の第5実施の形態に関わるインピーダンス調整回路を示している。

この実施の形態は、抵抗調整回路に関し、第1実施の形態で示した抵抗調整の応用例である。

【0085】

LSIには、パッケージに寄生するリードフレーム抵抗、ボンディングワイヤ抵抗、ペレット内配線抵抗などが寄生するため、パッケージの外からインピーダンスを見ると、これらの抵抗が全て直列に繋がった形に見える。この実施の形態では、これらの寄生抵抗の全てを予め見込んで、インピーダンス模擬抵抗 R_{trim} の値を調整し、全ての寄生抵抗込みで、所望のインピーダンスになるように、インピーダンスの調整を行う。

【0086】

例えば、配線抵抗 R_{metal} を 0.5Ω 、ボンディングワイヤ抵抗 R_{bdg} を 0.3Ω 、リードフレーム抵抗 R_{frm} を 0.2Ω とすれば、バッファの電源ピンから出力ピンまでの電流経路の全体を見た抵抗は、 $2 \times (0.5\Omega + 0.3\Omega + 0.2\Omega) = 2\Omega$ となる。

【0087】

このような場合、インピーダンス模擬抵抗 R_{trim} は、所望の抵抗値、例えば、 45Ω に対し 2Ω 程度低い値、 43Ω を狙って調整すればよいことになる。ただ、回路的に、インピーダンス模擬抵抗 R_{trim} を、この 43Ω を中心に切り替えるのは、余りにも煩雑である。

【0088】

この実施の形態では、抵抗 R_1 を切り替えて、インピーダンス模擬抵抗 R_{trim} の調整範囲をシフトさせることができる。

【0089】

$R_{ext} : R_1 = R_{trim} : R_t$ とし、 R_{trim} を 45Ω から 43Ω に変えて調整したい場合は、 R_1 を $45/43$ の比だけ大きくすればよい。この場合、予め、予想される全ての寄生抵抗を加味して、 R_1 を切り替え得るように、LSIパターンを用意しておき、 R_1 を大きくしたり、小さくしたりすればよい。切り替えは、アナログスイッチやメタル層をマスタースライスで切り替えるなどの手法により行う。

【0090】

図10及び図11は、寄生抵抗を加味して、インピーダンス模擬抵抗 R_{trim} を切り替える場合におけるコードに対する抵抗変化の例を示している。

【0091】

これらの図に示すように、寄生抵抗が小さい場合には、インピーダンス模擬抵抗 R_{trim1} は、大きめの値、例えば、 43Ω を中心に切り替えを行うことが可能であるし、寄生抵抗が大きい場合には、インピーダンス模擬抵抗 R_{trim2} は、小さめの値、例えば、 40Ω を中心に切り替えを行うことが可能である。

【0092】

なお、パッケージが変わっても、この実施の形態によれば、インピーダンスを一定に保つことができる。

【0093】

7. 第6実施の形態

次に、本発明の第6実施の形態に関わるインピーダンス調整回路について説明する。

【0094】

この実施の形態は、上述の第5実施の形態の変形例である。つまり、図9において、高精度抵抗 R_{ext} の値は、必ずしも一つの値に決める必要はない、というものである。例えば、高精度抵抗 R_{ext} の抵抗値が $12k\Omega$ の場合には、抵抗 R_1 の抵抗値は、 $2.4k\Omega$ にする。また、高精度抵抗 R_{ext} の抵抗値が $13k\Omega$ の場合には、抵抗 R_1 の抵抗値は、 $2.4k\Omega$ から $(13/12) \times 2.4k\Omega$ 分だけ、大きくすればよい。つまり、 $2.6k\Omega$ となる。

【0095】

なお、回路動作の説明については、省略するが、 $R_{ext} : R_1 = R_{trim} : R_t$ の関係は、維持される。

【0096】

このように、高精度抵抗 R_{ext} の値を変えても、インピーダンスを一定に保つことができる。

【0097】

8. 第7実施の形態

次に、本発明の第7実施の形態に関わるインピーダンス調整回路について説明する。

【0098】

この実施の形態は、上述の第5及び第6実施の形態を組み合わせたものである。このように、第5及び第6実施の形態を組み合わせれば、高精度抵抗 R_{ext} の抵抗値とパッケージに寄生する各種の抵抗の抵抗値とを、抵抗 R_1 の抵抗値の切り替えによって補正することができる。つまり、高精度抵抗 R_{ext} の値を変えても、また、パッケージの種類を変えても、インピーダンスを一定に保つことができる。

【0099】

9. 第8実施の形態

次に、本発明の第8実施の形態に関わるインピーダンス調整回路について説明する。

【0100】

この実施の形態は、上述の第5実施の形態において、内部基準電圧 V_{ref} が所望の値からずれた場合の対応策に関する。例えば、内部基準電圧 V_{ref} の狙い目が $1.2V$ で、高精度抵抗 R_{ext} が $12k\Omega$ であるとする。この時、高精度抵抗 R_{ext} に流れる電流は、 $V_{ref}/R_{ext} = 100\mu A$ である。

【0101】

ここで、製造プロセスの変更などにより、内部基準電圧 V_{ref} が $1.2V$ から外れる場合がある。仮に、内部電源電圧 V_{ref} が $1.25V$ になったとすれば、高精度抵抗 R_{ext} に流れる電流は、 $125\mu A$ となり、 V_{r2} も、抵抗 R_1 の電圧降下の増大に合わせて高くなってしまふ。

【0102】

このような場合は、抵抗 R_1 を2つの部分に分け、その中点を V_{r1} としてオペアンプ OP1 のマイナス入力端子に接続する。そして、その2つの部分のうち高精度抵抗 R_{ext} に繋がる部分 (R_1 下) で、 $1.25V - 1.2V = 0.05V$ 分の電位差を吸収する

。また、抵抗 $R1$ の 2 つの部分のうちオペアンプ $OP1$ の出力端子に接続される部分 ($R1$ 上) は、 $R_{ext} : (R1_{下} + R1_{上}) = R_{trim} : R_t$ の関係を満足するような抵抗値とする。

【0103】

このように、本実施の形態によれば、内部基準電圧 V_{ref} にばらつきが生じて、動作電流については、常に一定とすることで、高精度に、 R_{trim} を調整することができる。

【0104】

10. 第9実施の形態

次に、本発明の第9実施の形態に関わるインピーダンス調整回路について説明する。

【0105】

(1) 前提

上述のインピーダンス調整回路によれば、出力インピーダンス、入力インピーダンス、終端抵抗などのインピーダンスマッチングを行い、信号の反射を抑え、高速シリアル信号の高品質な転送を可能にすると共に、このようなトリミングを高精度かつ自動的に行うことができる。

【0106】

しかし、例えば、図1に示す出力インピーダンス調整回路では、コード制御回路13の出力信号をそのまま使用して、出力インピーダンスのトリミングを行っている。このため、例えば、図12に示すように、 V_{t01} の値が V_{r1} 近傍になると、 V_{t01} の値は、 V_{r1} を中心に、上下の変動を繰り返す。

【0107】

その結果、図1の出力インピーダンス調整回路の出力インピーダンス模擬抵抗 R_{t0_trim} の値についても、出力インピーダンスのトリミングの最中、常に、変動している状態となり、この変動が回路動作に与える影響が懸念される。

【0108】

同様に、例えば、図6に示す入力インピーダンス調整回路においても、コード制御回路13の出力信号をそのまま使用して、入力インピーダンスのトリミングを行っているため、図12に示す現象と同じ現象、即ち、 V_{t11} の値が一定しない、という事態が生じる。結果として、図6の入力インピーダンス調整回路の入力インピーダンス模擬抵抗 R_{t1_trim} の値についても、入力インピーダンスのトリミングの最中、常に、変動することになる。

【0109】

また、 V_{t01} の値が V_{r1} を中心に2ビット幅で変動している場合、例えば、図12に示すように、 V_{t01} の値が“2”と“4”の間を往復している場合には、 V_{t01} が“3”のとき、 V_{t01} の値は、 V_{r1} に最も近くなる。従って、このような場合には、インピーダンスを制御するコード値を、 V_{t01} の値がその変動範囲の中心値、即ち、“3”になるときのコード値に固定することにより、高精度なトリミングを行うことができる。なお、 V_{t11} の値についても、同様のことが言える。

【0110】

従って、以上のことを考慮すると、 V_{t01} 又は V_{t11} が目標の値である V_{r1} 近傍に到達したときは、入出力インピーダンス模擬抵抗 R_{t0_trim} 、 R_{t1_trim} の値、具体的には、コード制御回路13の出力信号の値は、所定値に固定した方がよいことが分かる。

【0111】

ところで、コード制御回路の出力信号の値をラッチするインピーダンス調整回路としては、例えば、特許文献4に開示されるものがある。

【0112】

図13は、特許文献4に開示されるインピーダンス調整回路の主要部を示している。

【0113】

この回路の詳細についての説明は省略することにするが、そのポイントは、第一に、本発明の例に関わるインピーダンス調整回路とは異なり、外部抵抗を使用することなく、チップ内部に設けられた電流源 215 により、インピーダンスのトリミングを行っている点、第二に、 V_{target} の値が V_{ref} 近傍にきたとき、本発明の例に関わるインピーダンス調整回路のコードに相当するサーマルコード C_{1i} を固定する点にある。

【0114】

しかし、特許文献 4 に開示されるインピーダンス調整回路では、例えば、図 14 のタイミングチャートに示すように、 V_{target} の値が V_{ref} よりも大きい場合に、 U/D 信号が “H” になると共に、 V_{target} の値が V_{ref} を越えた回数が 2 回になったとき、即ち、 U/D 信号が、2 度、“H” になったとき、 U/D 信号の 2 度目の “H” から “L” への変化時点を制御回路 211 により検出し、COMPLETE を “H” にすることにより、レジスタ 213 においてサーマルコード C_{1i} の値を固定している。

【0115】

従って、このインピーダンス調整回路は、回路構成上、 V_{target} の値が V_{ref} 近傍にきてから、サーマルコード C_{1i} の値を固定するまでの時間が長い（応答性が悪い）という問題を有する。

【0116】

また、例えば、図 15 のタイミングチャートに示すように、 V_{target} の値が V_{ref} を中心に 2 ビット幅で変動している場合、理想的には、上述したように、インピーダンス調整のためのコード値を、 V_{target} の値がその変動範囲の中心値にあるときの値に固定することにより、高精度なトリミングを行うことができる。

【0117】

しかし、特許文献 4 に開示されるインピーダンス調整回路では、既に述べたように、 U/D 信号の 2 度目の “H” から “L” への変化時点を検出した後、COMPLETE を “H” にしてサーマルコード C_{1i} の値を固定する。このため、COMPLETE を “H” にするときには、 V_{target} の値は、その変動範囲の中心値 (V_{ref}) からずれた位置にあり、結果として、高精度のトリミングを行うことができない。

【0118】

そこで、以下に説明する第 9 実施の形態では、 V_{tol} 又は V_{til} が目標の値である V_{r1} 近傍に到達したときは、インピーダンス調整のためのコード値を、 V_{tol} 又は V_{til} の値が最も V_{r1} に近い値 (V_{tol} 又は V_{til} が V_{ref} を中心に 2 ビット幅で変動している場合には、 $V_{tol} = V_{r1}$ 又は $V_{til} = V_{r1}$) となったときの値に、高速に固定するインピーダンス調整回路を提案する。

【0119】

(2) 回路例 1

図 16 は、本発明の第 9 実施の形態に関わるインピーダンス調整回路の回路例 1 を示している。

【0120】

R_{drv} (記号 Δ) は、出力ドライバを表している。

【0121】

共通バイアス部 11 は、ノード V_{r1} を介して接続される内蔵可変抵抗 R_{1a} 及び高精度の外部抵抗 R_{ext} 、内部基準電圧 V_{ref} とノード V_{r1} の電圧が入力されるオペアンプ OP1、P チャンネル MOS トランジスタ P_{1a} 、 P_{1b} 、並びに、N チャンネル MOS トランジスタ N_1 を有する。電源 V_{DD} に接続される P チャンネル MOS トランジスタ P_{1a} 、 P_{1b} は、定電流バイアスを生成するためのバイアス生成回路であり、付属回路である。

【0122】

なお、共通バイアス部 11 の動作及び計算例については、図 1 に示す共通バイアス部と同じであるため、ここでは、その説明については、省略する。

【0123】

出力インピーダンストリミング部12は、電圧 V_{r1} と電圧 V_{t01} が入力されるコンパレータCMP、電圧 V_{r2} と電圧 V_{t02} が入力されるオペアンプOP2、コンパレータCMPの出力信号を受けるコード制御回路13、NチャネルMOSトランジスタ（電流制御素子）N2、内蔵抵抗 R_{t0} 、出力インピーダンス模擬抵抗 R_{t0_trim} 、及び、出力ドライバ模擬抵抗 R_{drv} から構成される。

【0124】

オペアンプOP2は、電圧 V_{t02} が電圧 V_{r2} に等しくなるように、NチャネルMOSトランジスタN2のゲート電圧を制御する。この状態で、電圧 V_{t01} は、 R_{t0} と（ $R_{t0_trim}+R_{drv}$ ）との分圧電圧となるが、重要なことは、 R_{ext} と $R1$ との比は、 $R_{t0_trim}+R_{drv}$ と R_{t0} との比に等しくなることにある。

$$R_{ext} : R1 = (R_{t0_trim} + R_{drv}) : R_{t0}$$

外部抵抗 R_{ext} は、高精度である。このため、内蔵抵抗 $R1$ 、 R_{t0} 、 R_{t0_trim} 、 R_{drv} の値がそれぞればらついていても、一般的には、 $R1$ と R_{t0} との相対精度が良くなるように製造すれば、 $R_{t0_trim}+R_{drv}$ の値は、正確に、規格値の範囲内に収めることが可能である。

【0125】

コード制御回路13は、例えば、多段シフトレジスタから構成される。 V_{r1} と V_{t01} の比較結果であるコンパレータCMP出力は、クロック信号CLKでシフトする多段シフトレジスタに入力される。シフトレジスタの各段からコードを取り出して、抵抗切り替えを行う。抵抗切り替えを行うに当たっては、例えば、従来技術の第2例で示したものを使用できる。

【0126】

この状態で、クロック信号CLKに同期して、 V_{t01} は、次第に、目標値である V_{r1} に近づいていく。そして、 V_{r1} と V_{t01} の大小関係が繰り返して変化するような状態、即ち、 V_{t01} の値が V_{r1} を中心にしてその上下を行き来する状態になると、コード制御回路13からは、 $R_{t0_trim}+R_{drv}$ が最も規格値に近くなるようなコードを出力する。

【0127】

なお、出力インピーダンストリミング部12の動作及び計算例については、図1に示す出力インピーダンストリミング部と比べて、大きく変わる点はないため、ここでは、その説明については、省略する。

【0128】

コード平坦化部15は、コード平坦化回路16を有している。

【0129】

コード平坦化回路16は、コード制御回路13の出力信号（コード値）を受ける。コード平坦化回路16は、 V_{t01} が V_{r1} に向かって常に一方向（例えば、プラス方向）に変化している場合には、コード制御回路13の出力信号を、出力信号SELとして、そのまま出力する。そして、 V_{t01} が V_{r1} に最も近づいた状態になると、コード平坦化回路16は、 V_{t01} が V_{r1} に最も近づいたときのコード制御回路13の出力信号（コード値）を固定し、その後は、この固定されたコード値を、出力信号SELとして出力する。

【0130】

図17は、コード平坦化回路の回路例を示している。

【0131】

レジスタ17は、図16のコード制御回路13から出力されるコード制御信号（コード値）をラッチする。レジスタ17には、ダウン検出信号DOWNが入力されており、このダウン検出信号DOWNが“H”になると、レジスタ17は、コード制御信号をラッチする。

【0132】

ダウン検出信号発生回路18は、クロック信号CLKに同期して、例えば、図4のアッ

アップ/ダウン信号UP/DOWNを取り込み、このアップ/ダウン信号UP/DOWNに基づいて、ダウン検出信号DOWNを出力する。

【0133】

ここで、図4の例では、 V_{t01} が V_{r1} よりも大きいときに、アップ/ダウン信号UP/DOWNが“H” (= “1”) になり、 V_{t01} が V_{r1} よりも小さいときに、アップ/ダウン信号UP/DOWNが“L” (= “0”) になる回路構成としている。

【0134】

しかし、図16及び図17の例では、 $V_{t01} < V_{r1}$ なる条件から、次第に、 V_{t01} を上昇させることを考えているため、図4の例を変形し、 V_{t01} が V_{r1} よりも小さいときに、アップ/ダウン信号UP/DOWNが“H” (= “1”) になり、 V_{t01} が V_{r1} よりも大きいときに、アップ/ダウン信号UP/DOWNが“L” (= “0”) になるものとする。なお、このような回路構成は、コンパレータCMPを変形することにより容易に実現できる。

【0135】

本例では、アップ/ダウン信号UP/DOWNは、 V_{t01} の値が V_{r1} よりも小さいと、“H” (アップ) となる。これは、現在、 V_{t01} の値が V_{r1} に向かって上昇していることを示しているため、ダウン検出信号DOWNは、“L” のままである。

【0136】

これに対し、アップ/ダウン信号UP/DOWNは、 V_{t01} の値が V_{r1} よりも大きくなると、“L” (ダウン) となる。これは、現在、 V_{t01} の値が、 V_{r1} 近傍に達し、かつ、 V_{r1} を越えたことを示している。従って、この後は、 V_{t01} を下降させる必要があることから、ダウン検出信号DOWNを“H” にする。

【0137】

なお、インピーダンストリミング時において、 V_{t01} の値は、上述のように、目標値である V_{r1} に向かって、次第に、アップしていくものとする。

【0138】

当然に、変形例として、 V_{t01} の値が目標値である V_{r1} に向かって次第にダウンしていく場合には、ダウン検出信号発生回路18は、 V_{t01} がアップしたことを検出するアップ検出信号発生回路に変更することも可能である（この場合、図4の構成をそのまま使用することができる。）。

【0139】

マルチプレクサ(MUX)19は、ダウン検出信号DOWNの値に基づいて、図16のコード制御回路13の出力信号(コード制御信号)及びレジスタ17の出力信号のうちのいずれか一方を選択して出力する。

【0140】

即ち、ダウン検出信号DOWNが“L” のときは、マルチプレクサ(MUX)19は、図16のコード制御回路13の出力信号(コード制御信号)を選択して出力する。また、ダウン検出信号DOWNが“H” のときは、マルチプレクサ(MUX)19は、レジスタ17の出力信号を選択して出力する。

【0141】

マルチプレクサ(MUX)19は、例えば、ダウン検出信号DOWNが、一度、“H” になると、その後は、常に、レジスタ17の出力信号を選択して出力する。

【0142】

ビット遷移監視回路20は、コード制御信号(コード値)、言い換えれば、ビット値(コード値のこと)を常に監視している。そして、そのビット値が最大値、例えば、ビット値が“0” から“7” の間で変化するときには、“7” になったときに、ビット値として、所定値、例えば、“6” を出力する。

【0143】

この時、マルチプレクサ(MUX)21がビット遷移監視回路20の出力信号を選択するように、ビット遷移監視回路20は、マルチプレクサ(MUX)21の動作を制御する

制御信号CTを出力する。

【0144】

ビット遷移監視回路20は、主として、ユーザの要望に基づいて設けられたものであり、省略しても構わない。

【0145】

次に、図16及び図17の出力インピーダンス調整回路の動作について説明する。

【0146】

まず、図18のタイミングチャートに基づいて、Vt01の値がVr1近傍で1ビット幅で上下に周期的遷移する場合について説明する。

【0147】

初期状態では、Vt01の値は、目標となるVr1から大きく離れている。このため、Vt01の値は、クロック信号CLKに同期して、次第に上昇していく。ここでは、説明を分かり易くするため、Vt01の値を、コード制御回路13から出力されるコード制御信号（コード値0～7）に対応させて、0～7で表すことにする。

【0148】

このような状況では、Vt01の値は、常に上昇しているため、ダウン検出信号発生回路18は、例えば、ダウン検出信号DOWNの値として、“L”を維持し続ける。この時、レジスタ17は、コード制御信号をラッチすることなく、また、マルチプレクサ（MUX）19は、コード制御回路13からのコード制御信号を選択して出力する。

【0149】

また、コード制御信号の値は、最大値ではないため、ビット遷移監視回路20は、マルチプレクサ21がマルチプレクサ19の出力信号を選択して出力するように、マルチプレクサ21を制御する。

【0150】

Vt01の値がVr1近傍になると、Vt01の値は、Vr1を中心に、上下の変動を繰り返す。例えば、図18の例では、Vt01の値は、“3”と“4”の間を往復する。即ち、Vt01の値は、Vr1を中心に1ビット幅で変動していることになる。

【0151】

ここで、コード制御回路13は、Vt01の値がVr1よりも大きくなると、アップ／ダウン信号UP／DOWNとして、“L”（＝“0”）を出力する。コード平坦化回路16内のダウン検出信号発生回路18は、アップ／ダウン信号UP／DOWNが“L”になったことを検出すると、この後、Vt01の値がダウンすると判断し、ダウン検出信号DOWNを“H”にする。

【0152】

なお、ダウン検出信号発生回路18は、Vt01のダウンエッジ（“4”から“3”への変化）を検出したときにすると、ダウン信号（パルス信号）DOWNを出力するように構成されていてもよい。

【0153】

レジスタ17は、最初のダウン検出信号DOWNを受けると、コード制御信号として“3”をラッチし、かつ、その後は、入力信号を受け付けなくなる。また、同時に、マルチプレクサ19は、レジスタ17の出力信号を選択して出力するようになると共に、その後は、常に、レジスタ17の出力信号を選択して出力し続ける。

【0154】

このように、Vt01の値がVr1近傍になると、コード平坦化回路16は、コード制御信号（コード値）を、Vt01の値がVr1に最も近いときの値、本例では、“3”に固定する。従って、本例によれば、高精度のトリミングを行うに当り、実際の出力インピーダンスの調整のための抵抗Rto_useの抵抗値（コード値）を、高速に最適値に固定できるため、他の回路に対する影響を考慮しなくてもよい。

【0155】

本例では、Vt01の値がVr1近傍になって、Vt01の値がVr1を中心にして上

下の変動を繰り返すようになったとき、最初の1回目のV t o 1のダウンエッジの検出により、コード平坦化回路16の出力信号(コード制御信号)S E Lを固定する。このように、コード平坦化回路16の出力信号S E Lは、高速に、最適値に固定される。

【0156】

また、本例では、V t o 1 (= “3”) < V r 1となったときに、コード平坦化回路16の出力信号(コード制御信号)S E Lを固定しているが、図19のタイミングチャートに示すように、V t o 1 (= “4”) > V r 1となったときに、コード平坦化回路16の出力信号(コード制御信号)S E Lを固定してもよい。

【0157】

次に、図20のタイミングチャートに基づいて、V t o 1の値がV r 1近傍で2ビット幅で上下に周期的遷移する場合について説明する。

【0158】

初期状態では、上述したように、V t o 1の値は、クロック信号C L Kに同期して、次第に上昇していく。このような状況では、V t o 1の値は、常に上昇しているため、ダウン検出信号発生回路18は、例えば、ダウン検出信号D O W Nの値として、“L”を維持し続ける。この時、レジスタ17は、コード制御信号をラッチすることなく、また、マルチプレクサ(MUX)19は、コード制御回路13からのコード制御信号を選択して出力する。

【0159】

また、コード制御信号の値は、最大値ではないため、ビット遷移監視回路20は、マルチプレクサ21がマルチプレクサ19の出力信号を選択して出力するように、マルチプレクサ21を制御する。

【0160】

V t o 1の値がV r 1近傍になると、V t o 1の値は、V r 1を中心に、上下の変動を繰り返す。例えば、図20の例では、V t o 1の値は、“2”から“4”の間を往復する。即ち、V t o 1の値は、V r 1を中心に2ビット幅で変動していることになる。

【0161】

ここで、コード平坦化回路16内のダウン検出信号発生回路18は、アップ/ダウン信号UP/DOWNが“L”(ダウン)になり、この後、V t o 1の値がダウンすることを検知すると、ダウン検出信号D O W Nを“H”にする。

【0162】

なお、上述したように、ダウン検出信号発生回路18は、V t o 1のダウンエッジ(“4”から“3”への変化、及び、“3”から“2”への変化)を検出したときに、ダウン信号(パルス信号)D O W Nを出力するように構成しても構わない。

【0163】

レジスタ17は、最初のダウン検出信号D O W Nを受けると、コード制御信号として“3”をラッチし、かつ、その後は、入力信号を受け付けなくなる。また、同時に、マルチプレクサ19は、レジスタ17の出力信号を選択して出力するようになると共に、その後は、常に、レジスタ17の出力信号を選択して出力し続ける。

【0164】

このように、V t o 1の値がV r 1近傍になると、コード平坦化回路16は、コード制御信号(コード値)を、V t o 1の値がV r 1に最も近いときの値、本例では、“3”に固定する。従って、高精度のトリミングを行うに当り、実際の出力インピーダンスの調整のための抵抗R t o _u s eの抵抗値(コード値)を、高速に固定できるため、他の回路に対する影響を考慮しなくてもよい。

【0165】

本例においても、最初の1回目のV t o 1のダウンエッジの検出により、コード平坦化回路16の出力信号(コード制御信号)S E Lを固定する。このように、コード平坦化回路16の出力信号S E Lは、高速に、最適値に固定される。

【0166】

また、本例では、 V_{to1} の値は、 V_{r1} を中心に2ビット幅で変動しているため、コード平坦化回路16は、 V_{to1} (= "3") = V_{r1} となったときに、その出力信号 (コード制御信号) SELを固定する。このように、本例では、高精度に、出力インピーダンスのトリミングを行うことができる。

【0167】

なお、図21は、 V_{to1} の値が最大値 "7" に達したときのタイミングチャートを示している。このときは、ビット遷移監視回路20は、コード制御回路13からのコード制御信号にかかわらず、強制的に、コード平坦化回路16の出力信号SELとして、所定値、本例では、"6" を出力する。

【0168】

(3) 回路例2

図22は、本発明の第9実施の形態に関わるインピーダンス調整回路の回路例2を示している。

【0169】

回路例2は、入力インピーダンス調整回路に関する。この回路は、先ほどの出力インピーダンス調整回路に比べ、ドライバ模擬抵抗及びドライバ自身が不用であり、単に、抵抗をトリミングし、得られたコードを用いて、入力インピーダンスを調整する。

【0170】

入力インピーダンストリミング部14は、上記の点を除き、図16の出力インピーダンストリミング部12と大きく変わる点はない。また、コード平坦化部15'のコード平坦化回路16'についても、図16のコード平坦化部15のコード平坦化回路16と同じである。

【0171】

回路動作については、第1実施の形態におけるインピーダンス調整回路の動作と同じであるため、ここでは、省略する。

【0172】

(4) 回路例3

図23は、本発明の第9実施の形態に関わるインピーダンス調整回路の回路例3を示している。

【0173】

回路例3は、入出力インピーダンス調整回路に関する。この回路は、出力インピーダンストリミング部12と入力インピーダンストリミング部14とを有する。この場合、1つの共通バイアス部11を、入力インピーダンストリミング部12と出力インピーダンストリミング部14とで共有することができる。

【0174】

出力インピーダンストリミング部12及びコード平坦化部15は、図16の出力インピーダンストリミング部12及びコード平坦化部15と同じである。入力インピーダンストリミング部14及びコード平坦化部15'は、図22の入力インピーダンストリミング部14及びコード平坦化部15'と同じである。

【0175】

回路動作については、第1実施の形態におけるインピーダンス調整回路の動作と同じであるため、ここでは、省略する。

【0176】

10. まとめ

第1乃至第9実施の形態で説明したように、本発明の例に関わるインピーダンス調整回路によれば、以下の効果を奏する。

【0177】

- ・ CMOS LSIの通常工程で製造可能である。
- ・ 外部抵抗が1つで済み、コスト的に有利である。
- ・ 外部高精度抵抗の値を変えても、インピーダンスを一定にすることができる。

- ・ パッケージが変わったり、LSI レイアウトが変わったり、寄生抵抗が変わっても、インピーダンスを一定にすることができる。

【0178】

- ・ 調整のコードを増やすことが容易で、より高精度の調整が容易に実現できる。
- ・ 出力インピーダンスの調整は、ドライバを含めて行っているので、高精度に行うことができる。
- ・ より広範囲のバラツキに対しても、製造歩留りを簡単に上げることができる。
- ・ 回路要素を分解できるため、共通化したりすることが容易で、面積的に縮小が可能である。

【0179】

- ・ 動的に、LSI の内部で使用する抵抗素子の抵抗値を決定できる。

【0180】

- ・ LSI の外部に高精度の抵抗値を持つ抵抗素子を設けることで、LSI の内部で使用する抵抗素子の抵抗値を高精度に決定できる。

【0181】

- ・ 1 回目のダウン検出信号 DOWN に基づいて、直ちに、インピーダンストリミングのためのコード制御信号の値（コード値）を、最も最適な値に固定している。このように、高速に、インピーダンストリミングに使用する抵抗素子の最適な抵抗値を決定することができる。また、その後は、その抵抗値を固定し続けることにより、他の回路に対する影響を軽減することができる。

【0182】

- ・ 特に、V_{t01} が V_{r1} に対して 2 ビット幅で変動している場合には、V_{t01} が V_{r1} に等しくなる時のコード値（抵抗値）を使用して、インピーダンストリミングを行うことができるため、非常に、高精度のトリミングが可能になる。

【0183】

- このような効果を実現するための本発明の基本要素は、図 24 又は図 25 に示すようになる。本発明の概念としては、各抵抗素子の抵抗値に関し、 $R_{ext} : R_1 = R_{trim} : R_t$ の関係に最も近い R_{trim} を実現することにある。

【0184】

- また、この概念の範囲において、以下のような変形が可能であることは言うまでもない。

- ・ パワーアンプの出力電流を強化するため、P チャネル MOS トランジスタ（電流ドライバ）を電源端子 VDD に接続すること。
- ・ 同様に、N チャネル MOS トランジスタのソースフォロウを電源端子 VDD に接続すること。
- ・ 外部抵抗 R_{ext} の抵抗値に応じて抵抗 R_1 の抵抗値を可変できるような形で、抵抗 R_1 を LSI 内に形成すること。

【0185】

- ・ コード制御回路を、多段シフトレジスタではなく、ラッチとコードで構成すること。
- ・ コード信号の取り得る状態を、調整可能バラツキ範囲／調整精度の関係で加減すること。
- ・ 抵抗 R_1 と抵抗 R_t との相対精度を良くするため、同一形状のユニット抵抗を LSI 内で近接して配置すること。

【0186】

- ・ 基準電圧 V_{ref} と電源電圧 VDD との関係を一定に保ち、回路全体の電源電圧 VDD と接地電圧 V_{GND} との関係を逆転させること。
- ・ 外部抵抗 R_{ext} の値及び寄生抵抗に応じた抵抗 R_1 の値の調整の代わりに、抵抗 R_t の調整を行うこと。
- ・ 帰還系の抵抗 R_{trim} と実際の被インピーダンス調整回路（出力ドライバ部や入



力抵抗部など)との間に一定の比率を持たせること。

【0187】

・コード制御回路が次第にダウンするコードを出力する場合には、コード平坦化回路内のダウン検出信号発生回路をアップ信号発生回路に置き換えること。

【0188】

なお、本発明の例は、上述の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上述の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる形態の構成要素を適宜組み合わせてもよい。

【産業上の利用可能性】

【0189】

本発明の例に関わるインピーダンス調整回路は、出力インピーダンス、入力インピーダンス、終端抵抗などのインピーダンスマッチングを行うことが要求されるあらゆる種類の半導体集積回路に適用される。

【図面の簡単な説明】

【0190】

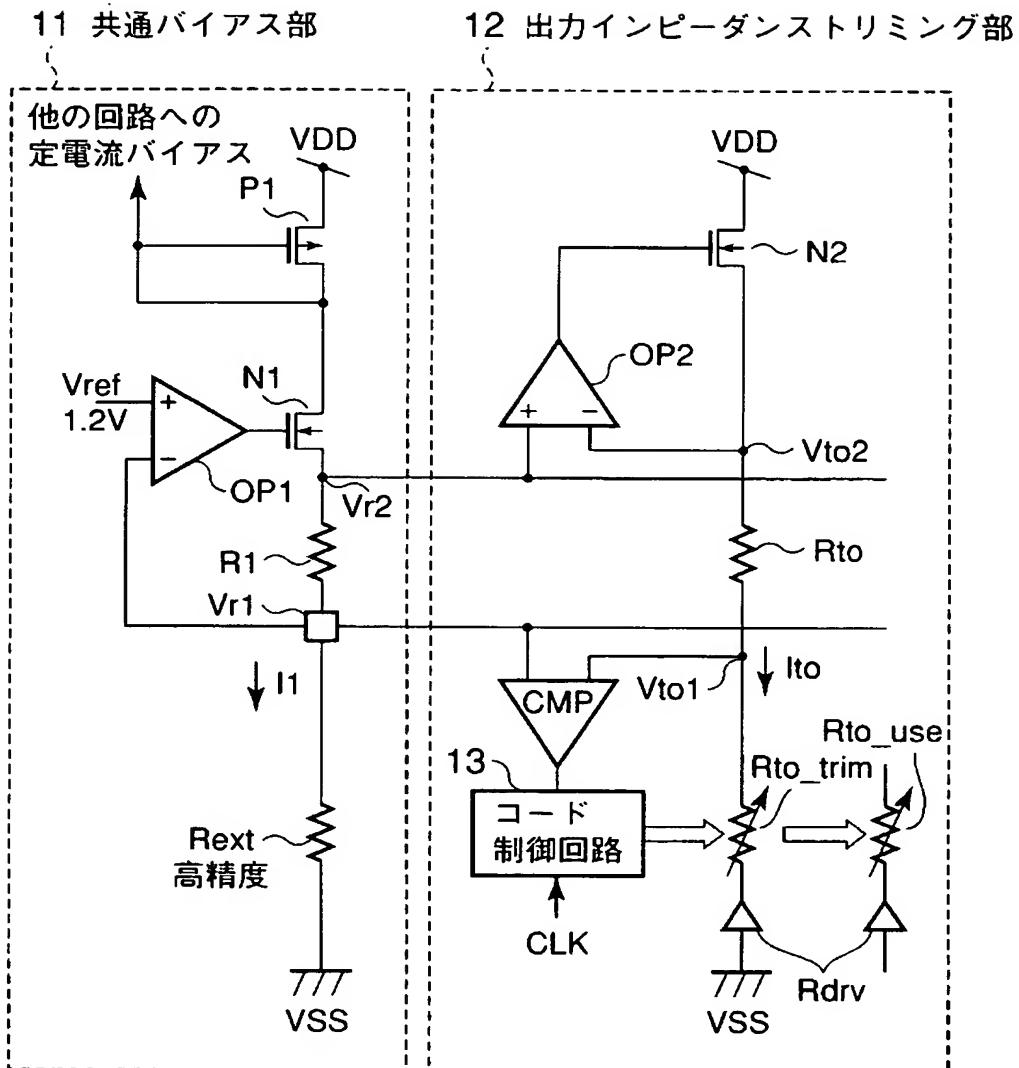
- 【図1】第1実施の形態に関わるインピーダンス調整回路を示す図。
- 【図2】コードと出力インピーダンスとの関係を示す図。
- 【図3】SPICEによるシミュレーション結果を示す図。
- 【図4】コード制御回路とインピーダンス模擬抵抗の例を示す図。
- 【図5】インピーダンス調整時の動作波形を示す図。
- 【図6】第2実施の形態に関わるインピーダンス調整回路を示す図。
- 【図7】第3実施の形態に関わるインピーダンス調整回路を示す図。
- 【図8】第4実施の形態に関わるコードと出力インピーダンスとの関係を示す図。
- 【図9】第5実施の形態に関わるインピーダンス調整回路を示す図。
- 【図10】コードとインピーダンス模擬抵抗の抵抗値との関係を示す図。
- 【図11】コードとインピーダンス模擬抵抗の抵抗値との関係を示す図。
- 【図12】図1の回路の動作を示すタイミングチャート。
- 【図13】参考例としてのインピーダンス調整回路を示す図。
- 【図14】図13の回路の動作を示すタイミングチャート。
- 【図15】図13の回路の動作を示すタイミングチャート。
- 【図16】第9実施の形態に関わる出力インピーダンス調整回路を示す図。
- 【図17】コード平坦化回路の例を示す図。
- 【図18】図16の回路の動作を示すタイミングチャート。
- 【図19】図16の回路の動作を示すタイミングチャート。
- 【図20】図16の回路の動作を示すタイミングチャート。
- 【図21】図16の回路の動作を示すタイミングチャート。
- 【図22】第9実施の形態に関わる入力インピーダンス調整回路を示す図。
- 【図23】第9実施の形態に関わる入出力インピーダンス調整回路を示す図。
- 【図24】本発明の例に関わるインピーダンス調整回路の基本要素を示す図。
- 【図25】本発明の例に関わるインピーダンス調整回路の基本要素を示す図。
- 【図26】従来のインピーダンス調整回路を示す図。
- 【図27】従来のインピーダンス調整回路を示す図。
- 【図28】従来のインピーダンス調整回路を示す図。
- 【図29】従来のトリミング抵抗の例を示す図。
- 【図30】コードとトリミング抵抗の抵抗値との関係を示す図。
- 【図31】従来のインピーダンス調整回路を示す図。

【符号の説明】

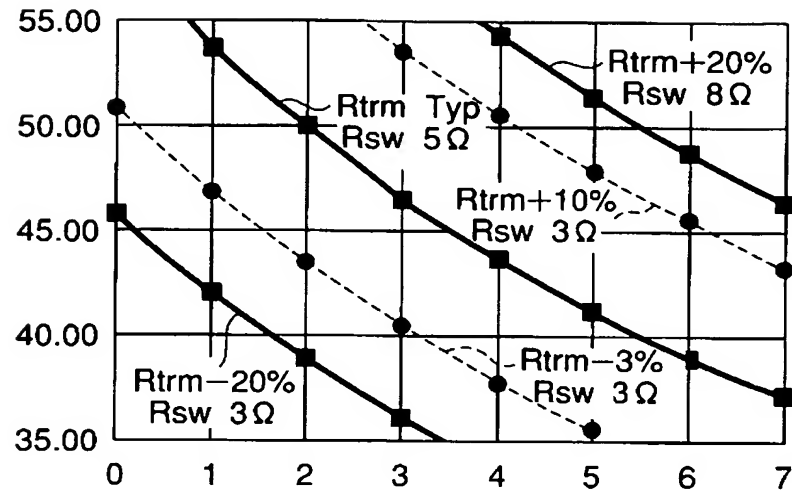
【0191】

11: 共通バイアス部、 12: 出力インピーダンストリミング部、 13: コード制御回路、 14: 入力インピーダンストリミング部、 P1: PチャネルMOSトランジスタ、 N1, N2: NチャネルMOSトランジスタ、 OP1, OP2: オペアンプ、 CMP: コンパレータ、 R1, Rto, Rti: 内蔵抵抗、 Rext: 外部高精度抵抗、 Rto trim, Rti trim: インピーダンス模擬抵抗。

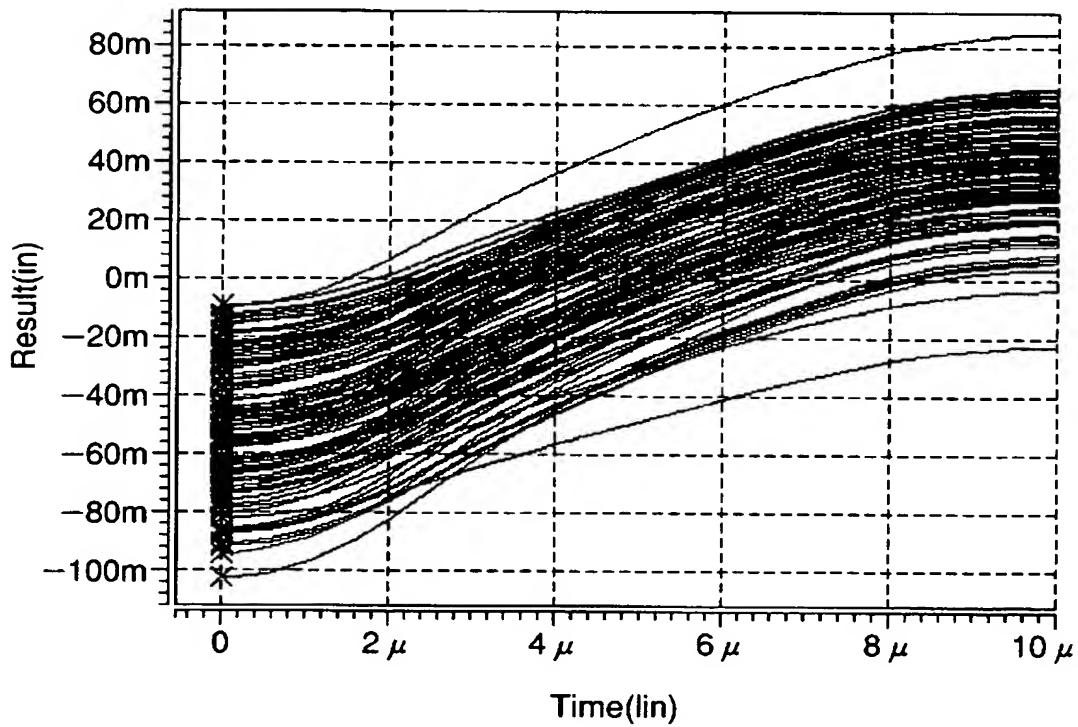
【書類名】 図面
【図 1】



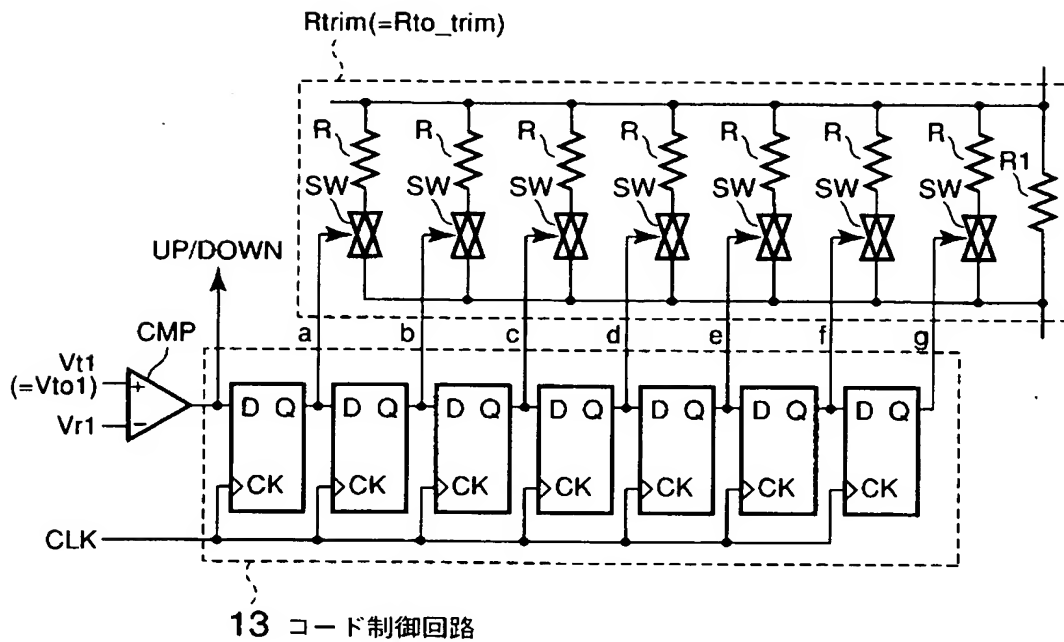
【図 2】



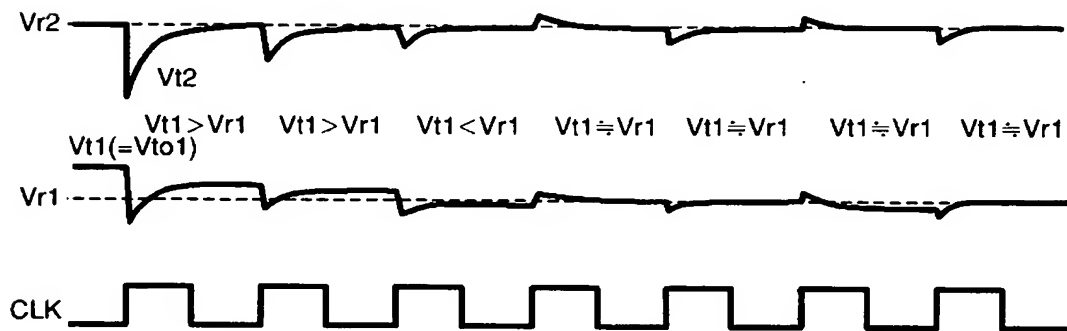
【図 3】



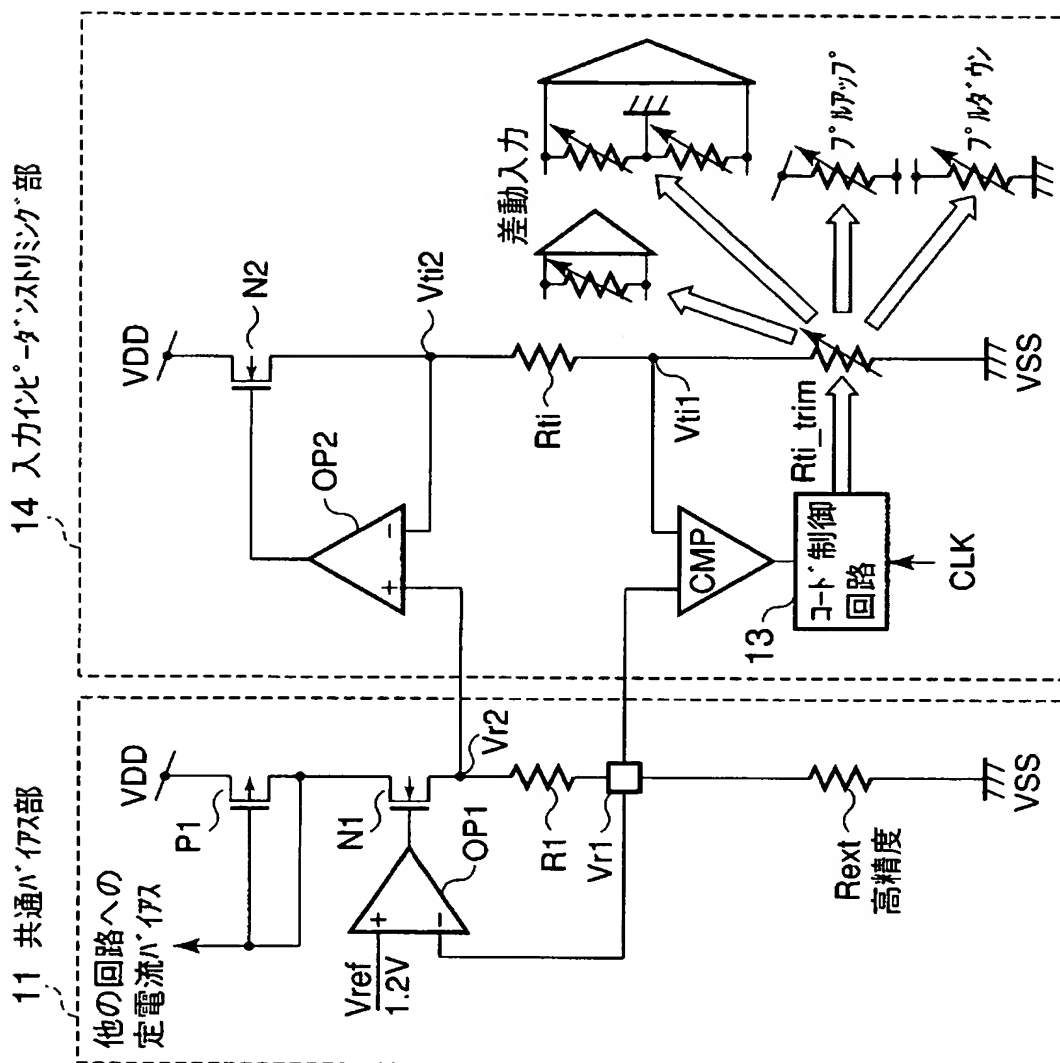
【図 4】



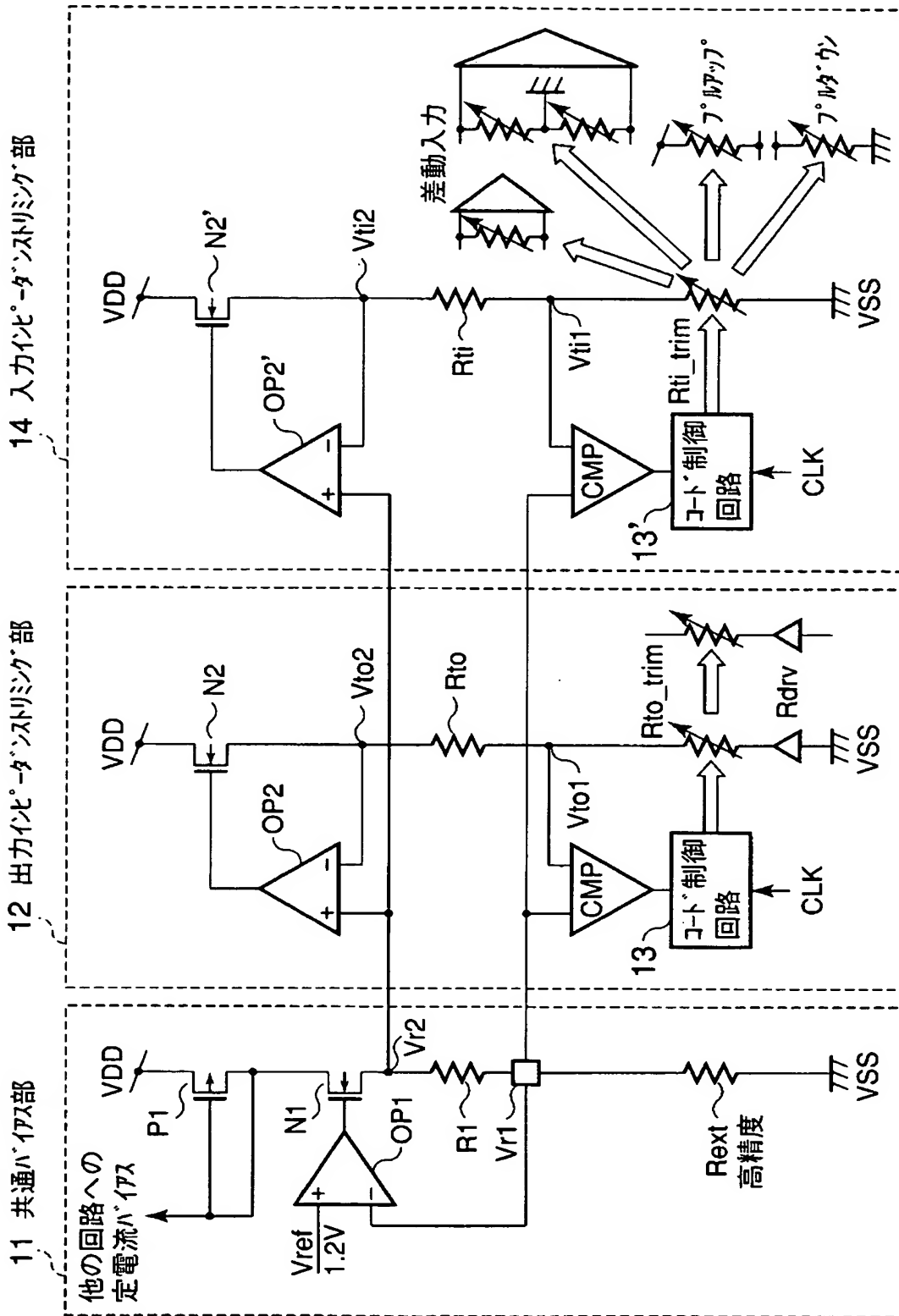
【図 5】



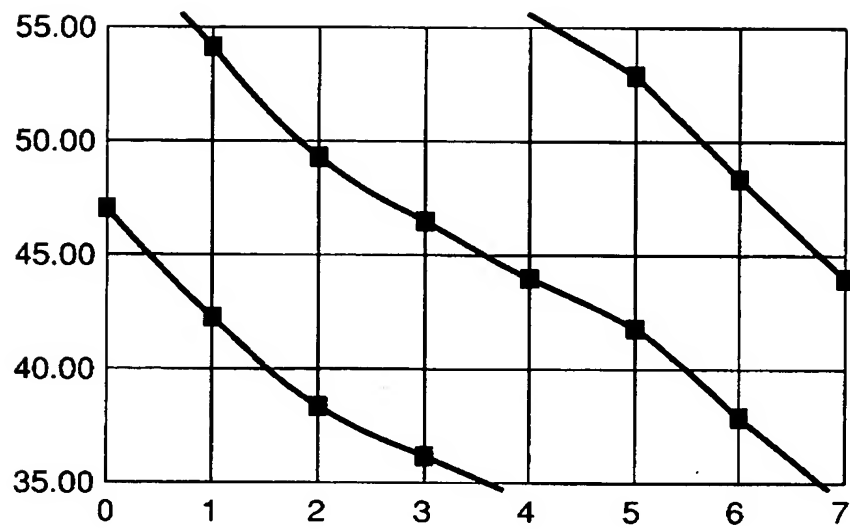
【図 6】



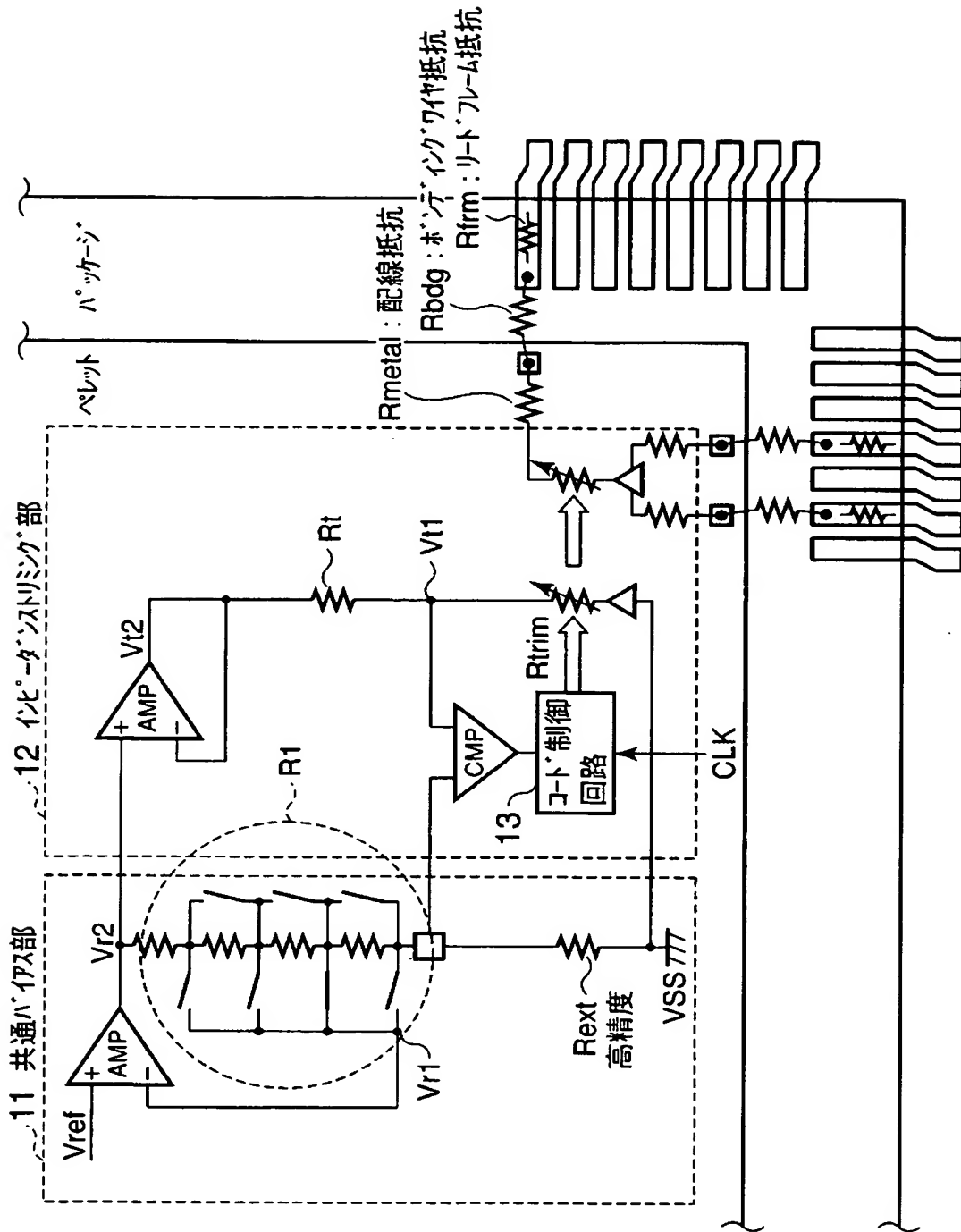
【図 7】



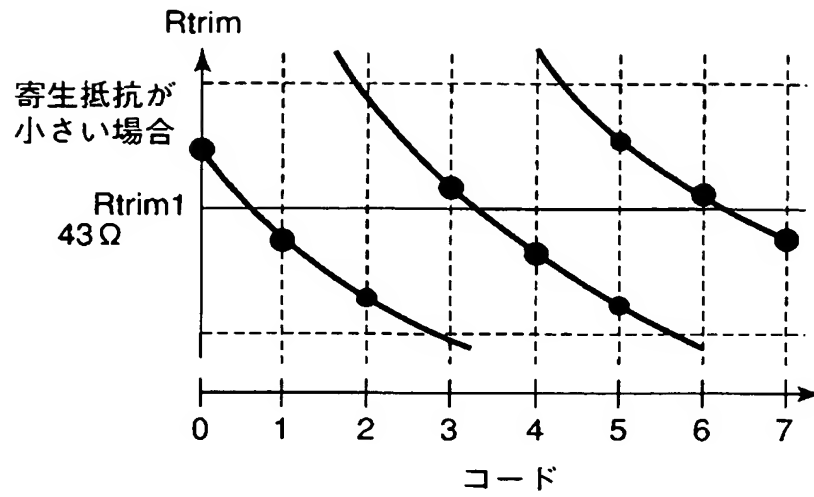
【図 8】



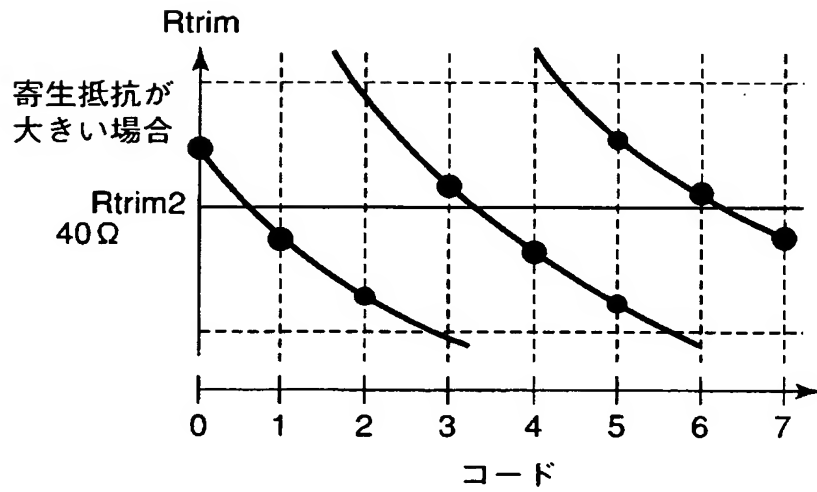
【図 9】



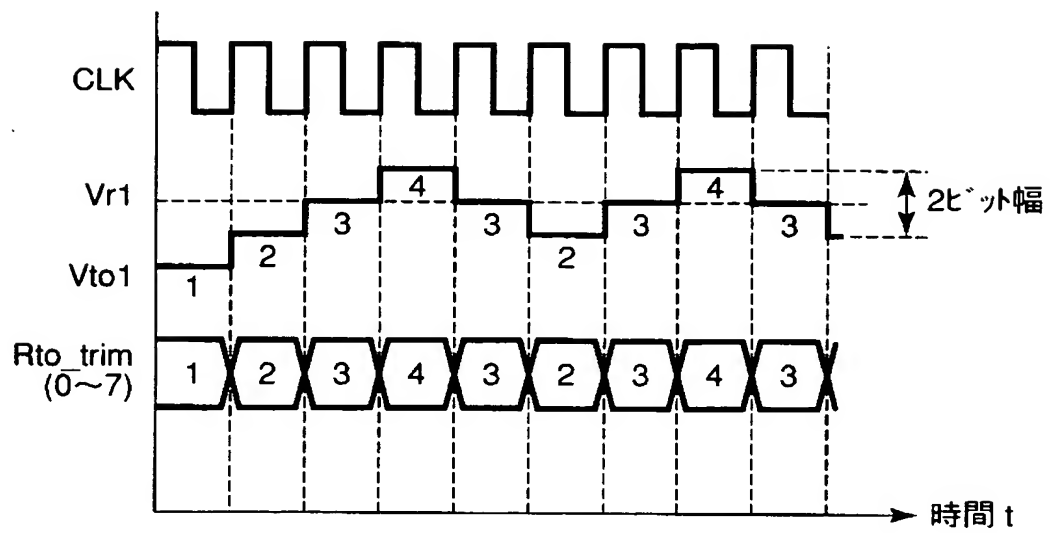
【図 10】



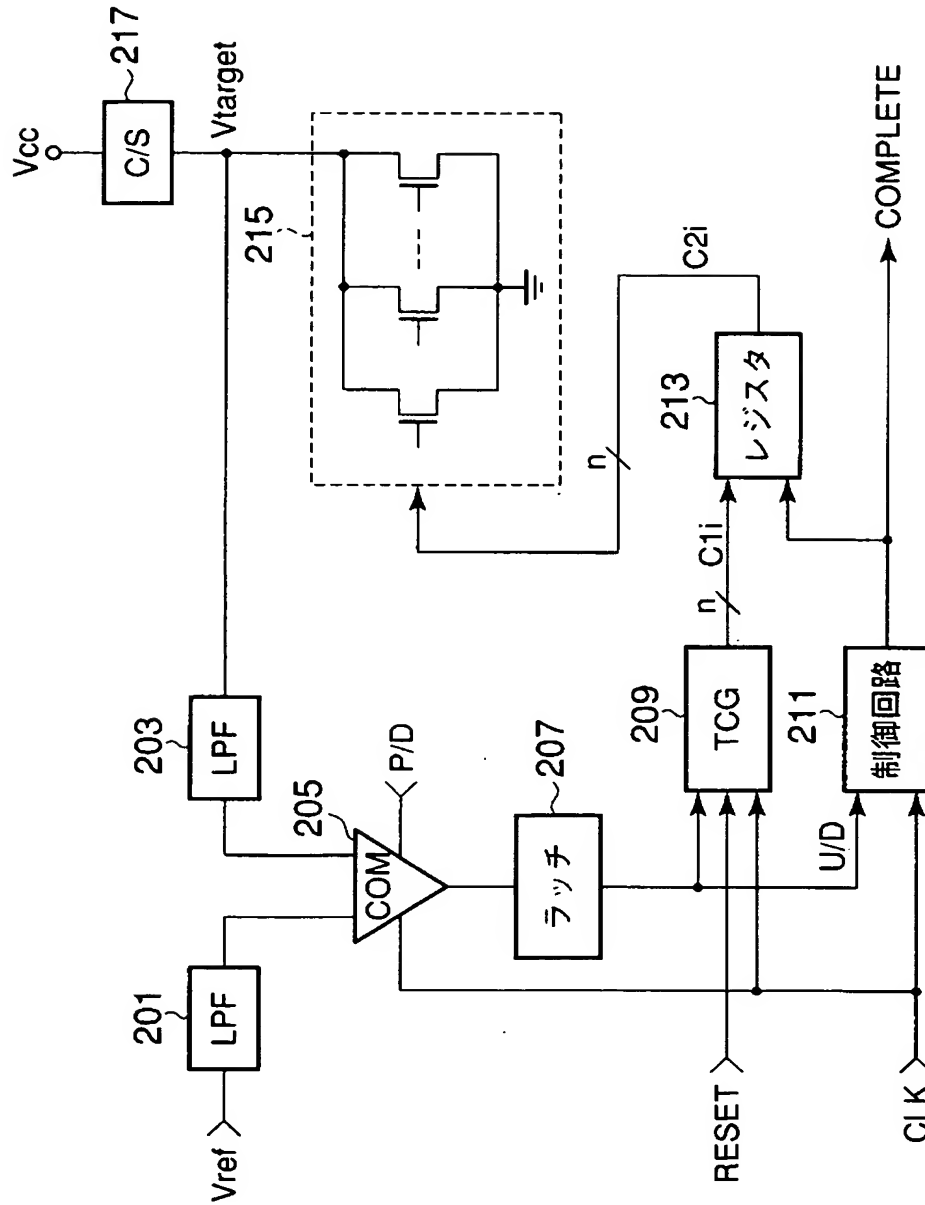
【図 11】



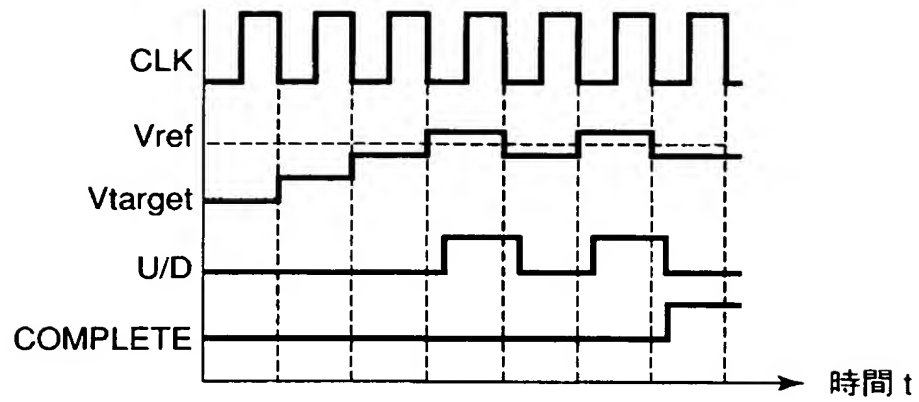
【図 12】



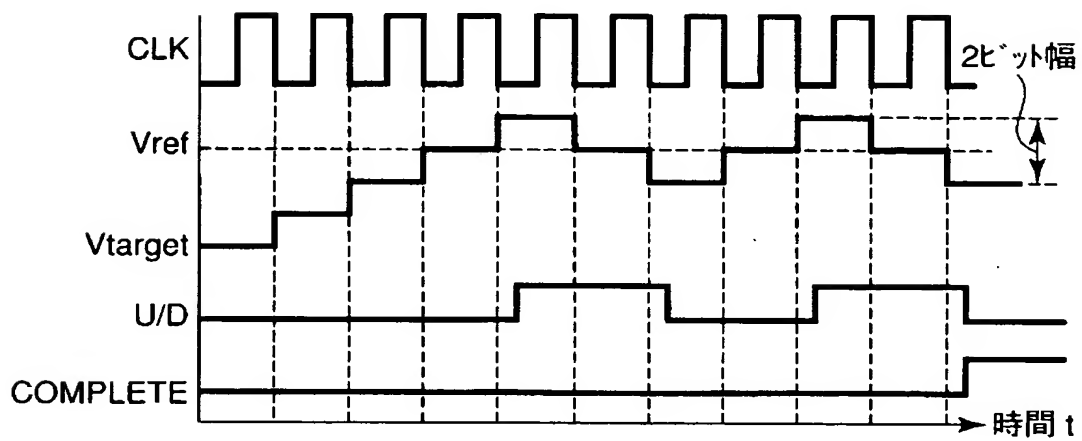
【図 13】



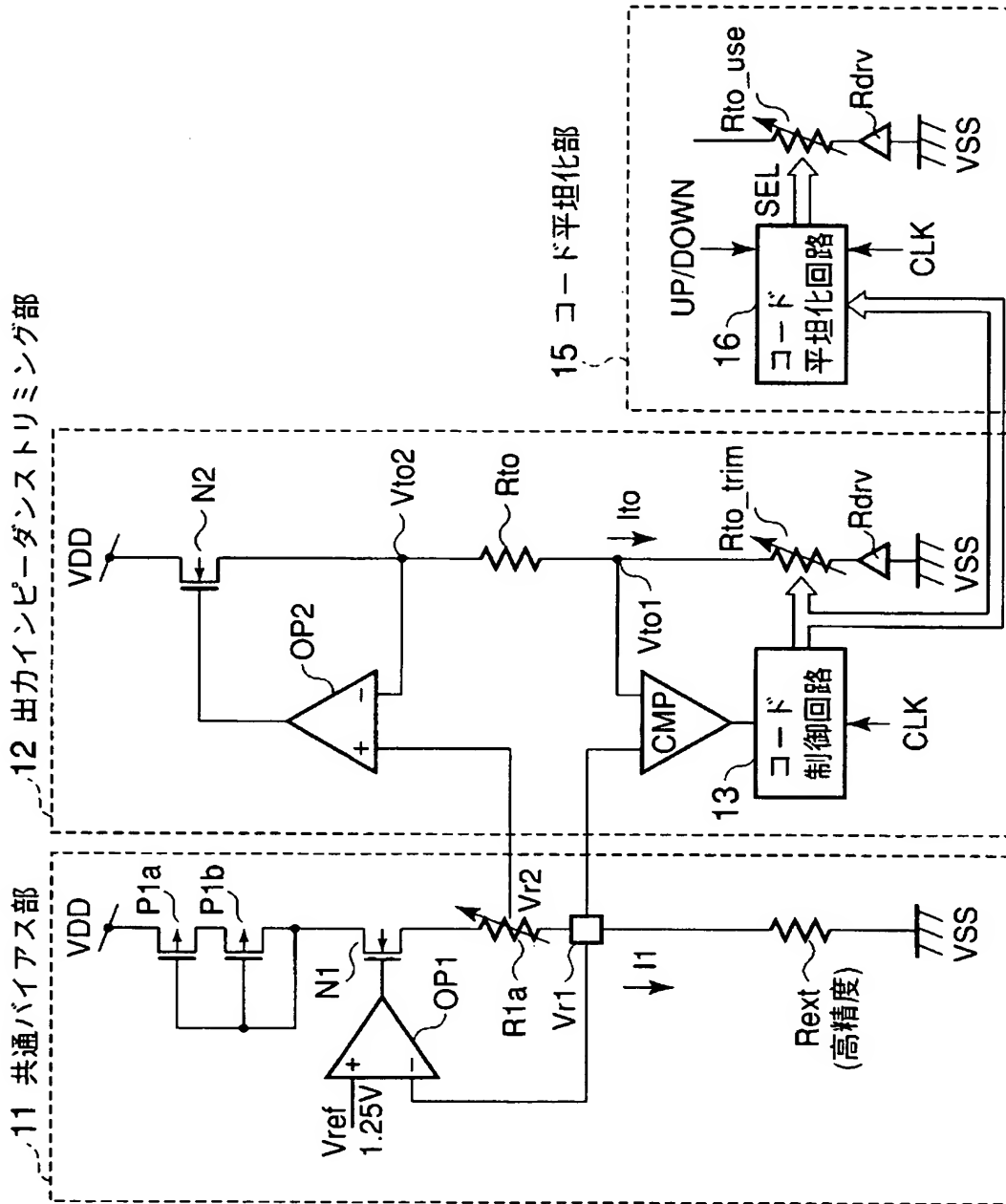
【図 14】



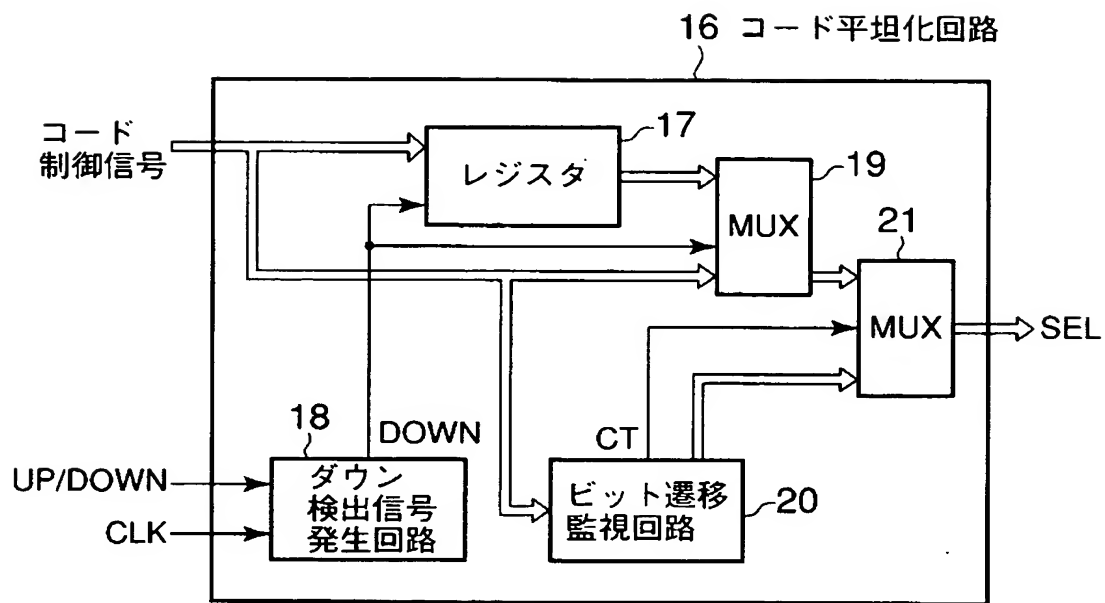
【図 15】



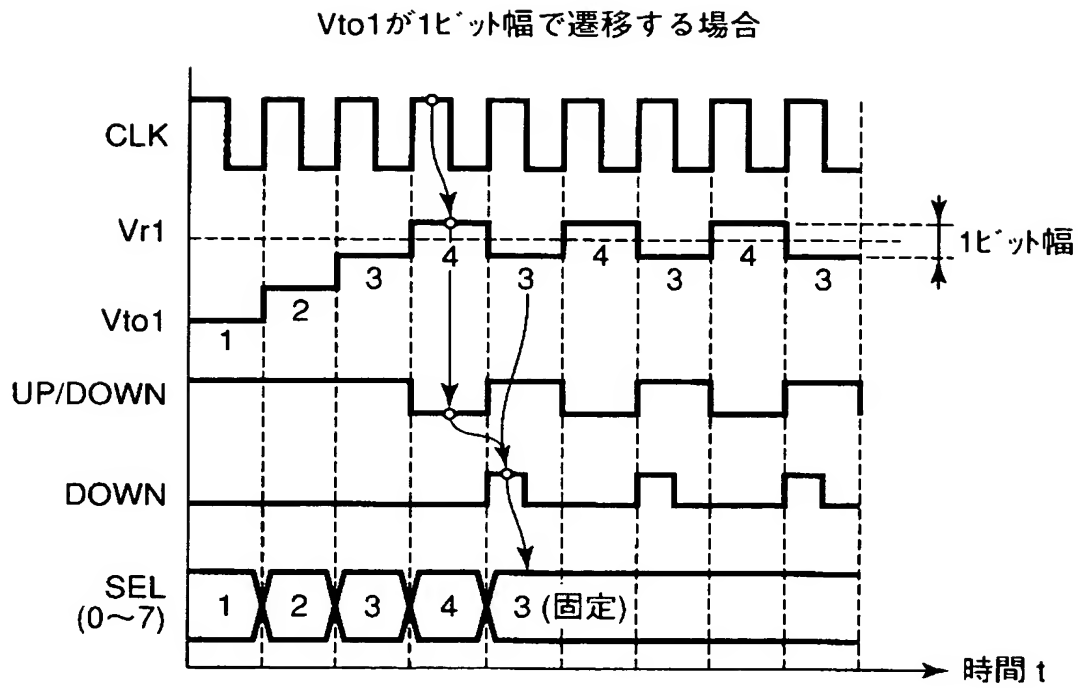
【図 16】



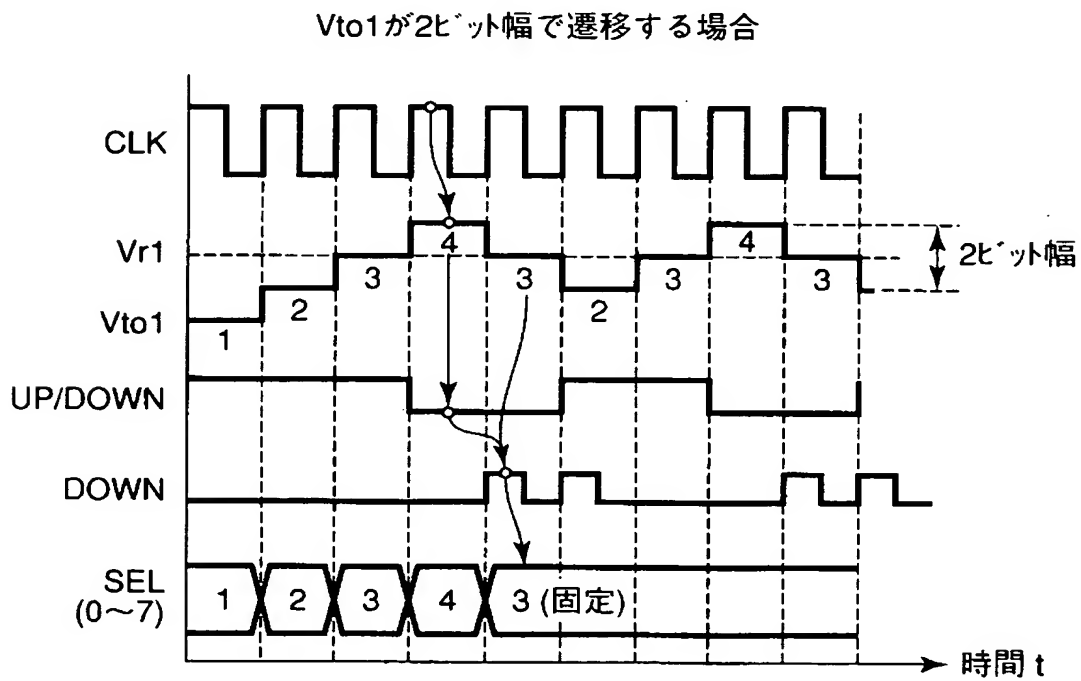
【圖 17】



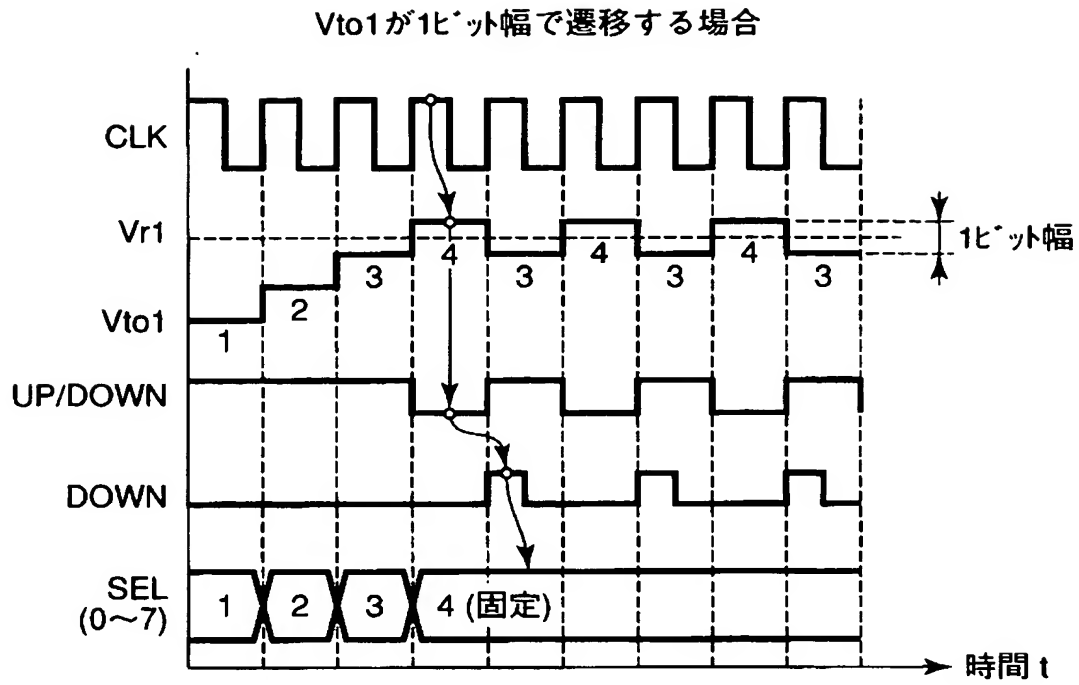
【図 18】



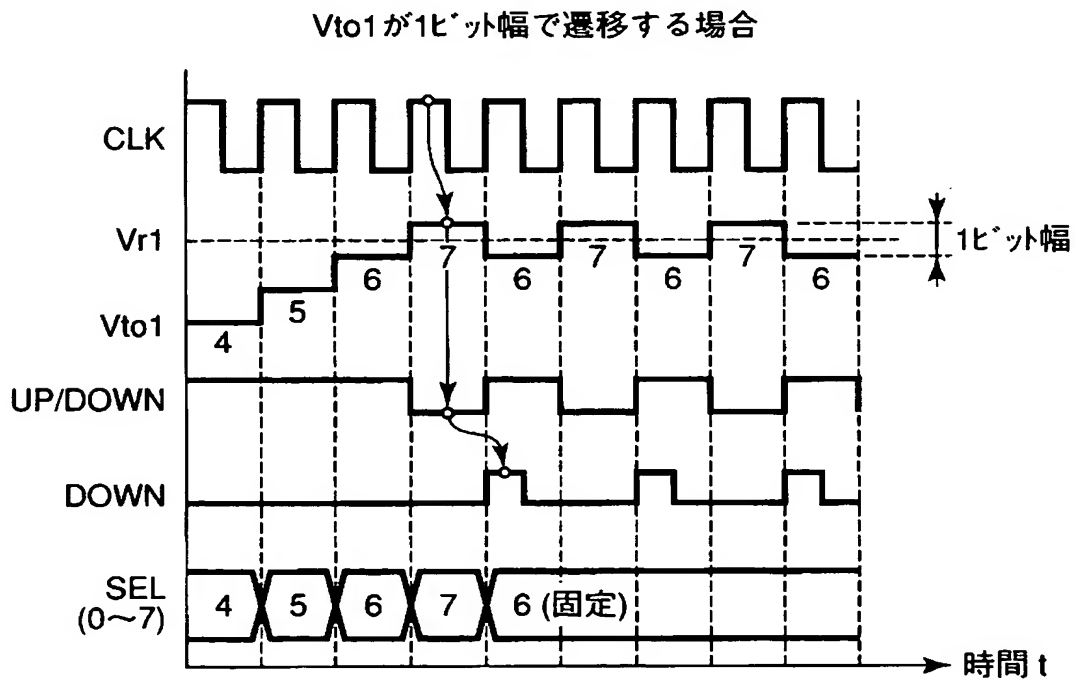
【図 19】



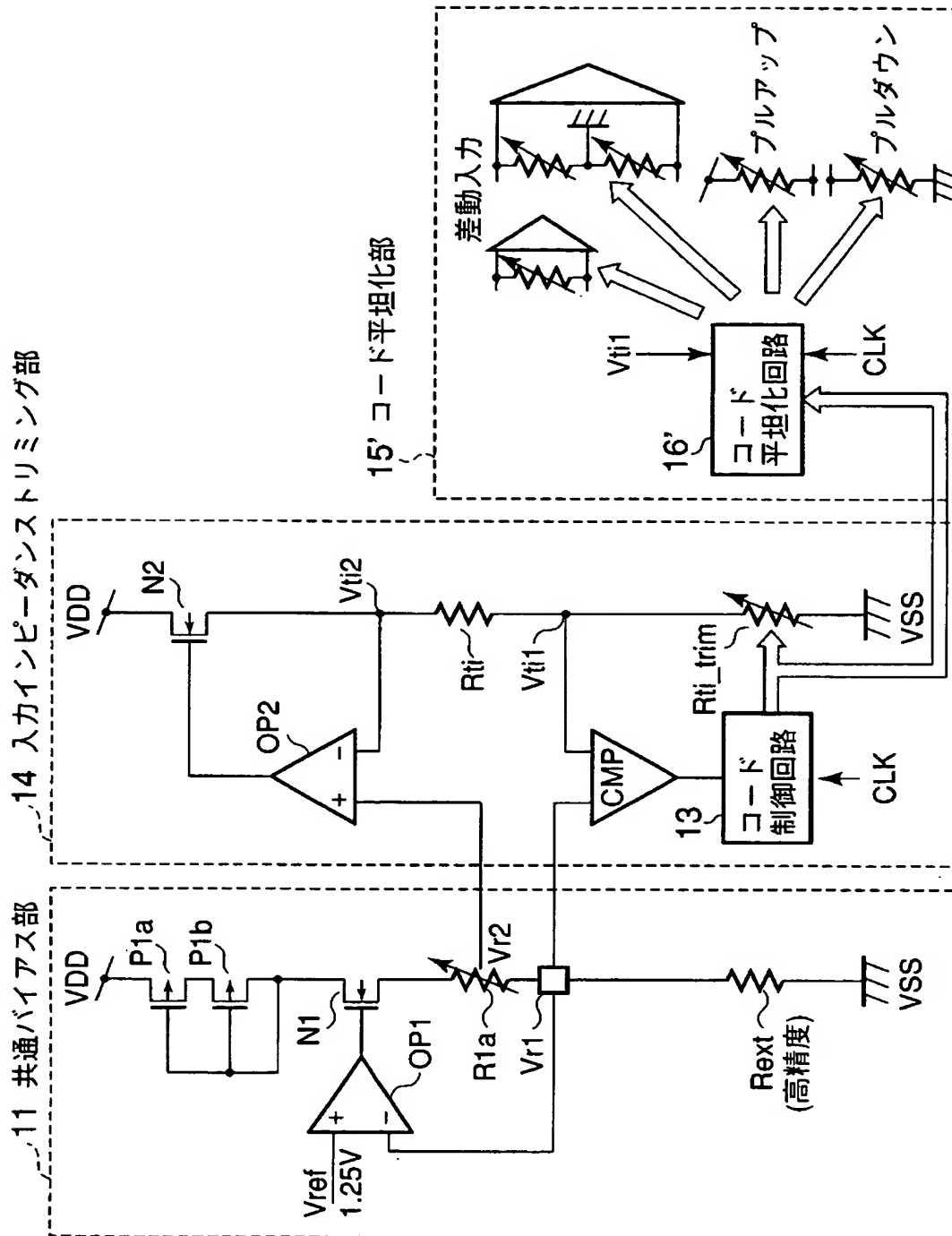
【図 20】



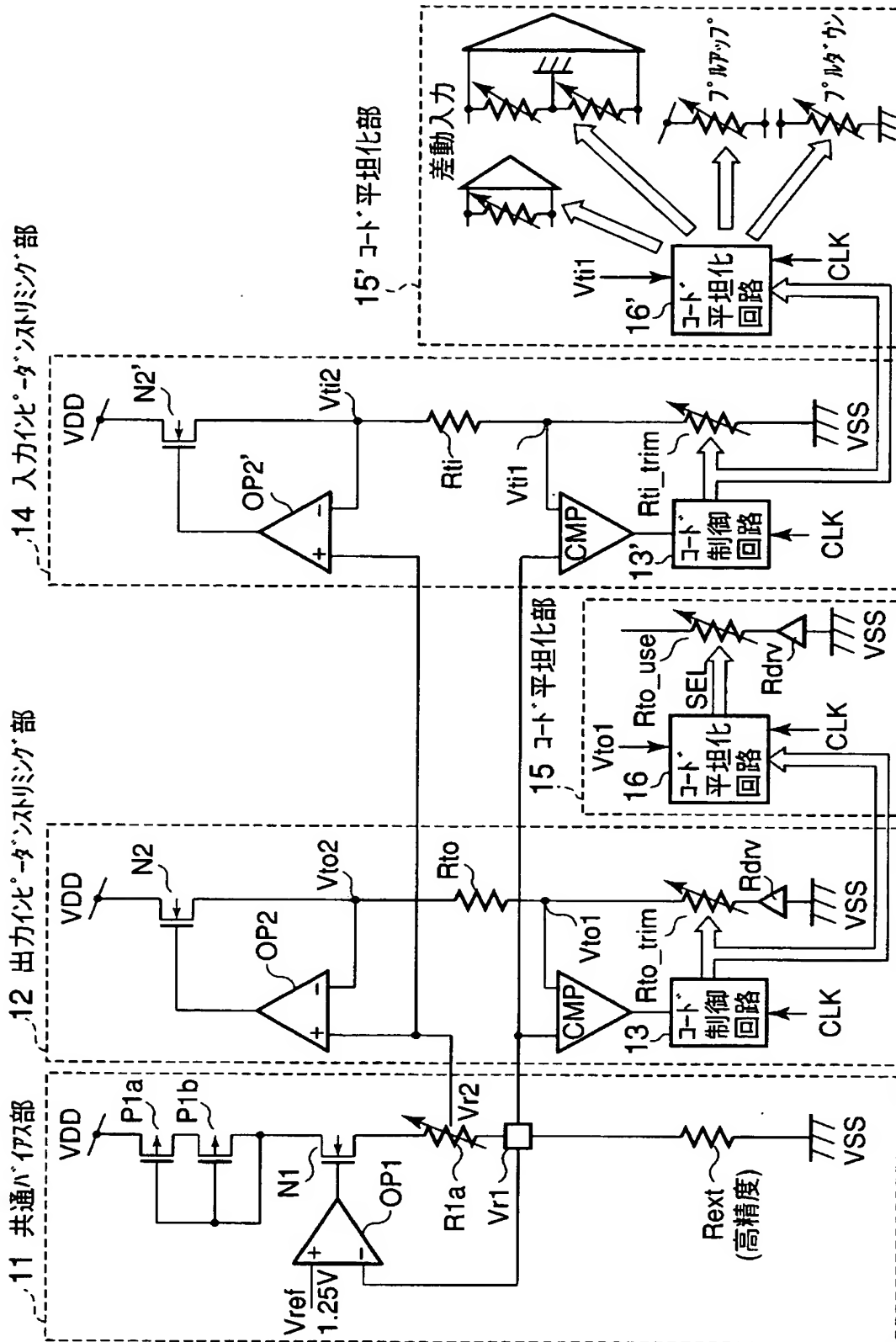
【図 21】



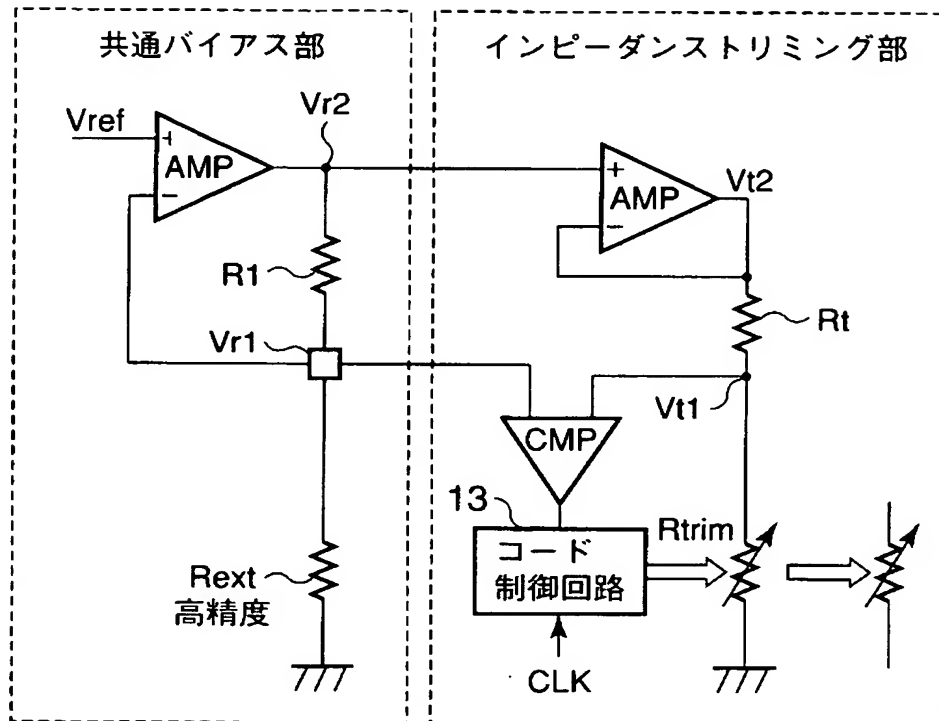
【図 22】



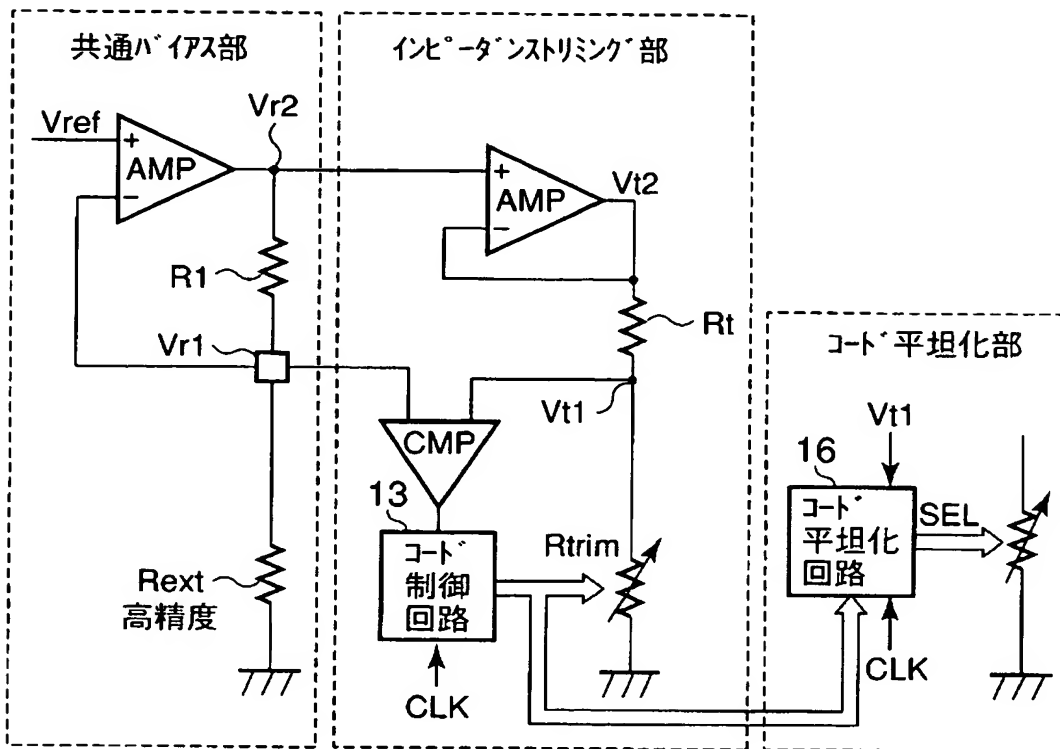
【図 23】



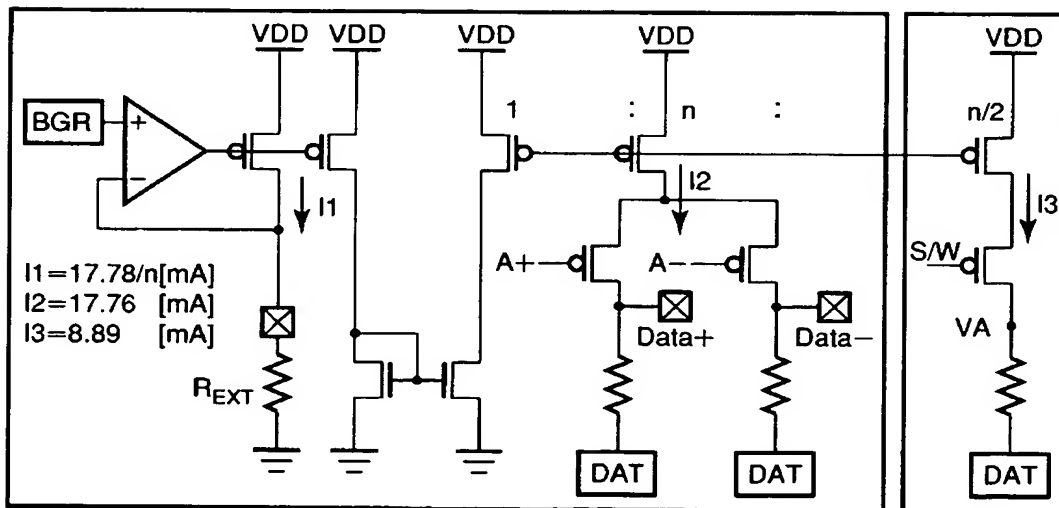
【図 24】



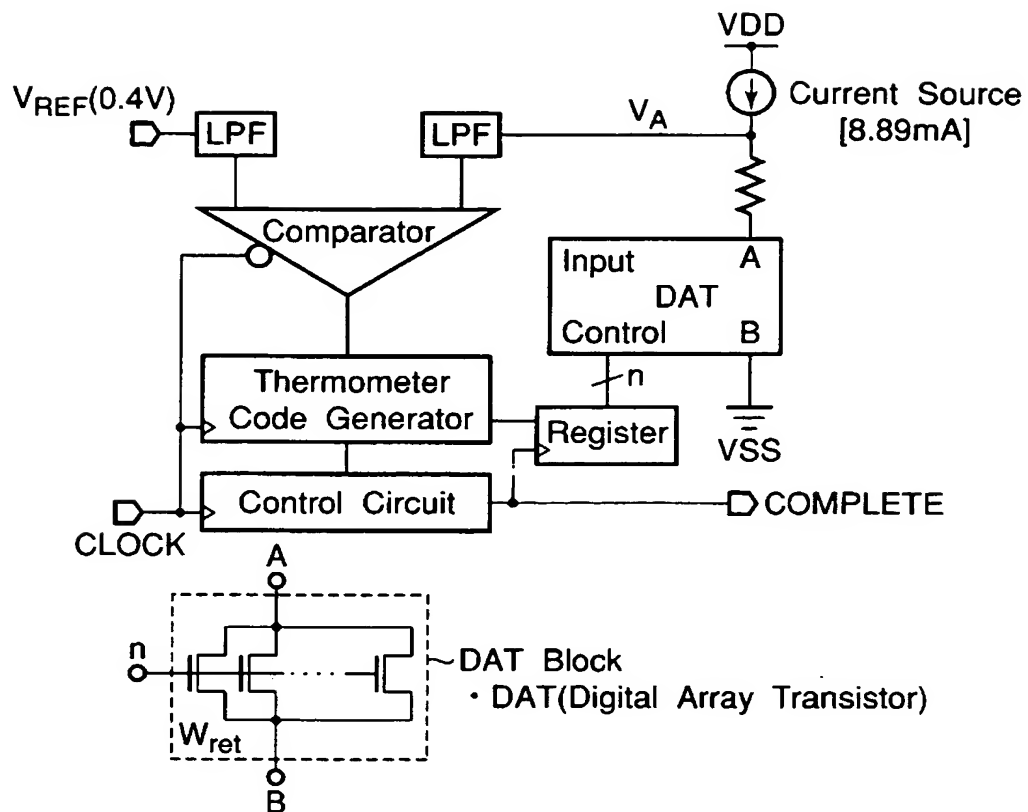
【図 25】



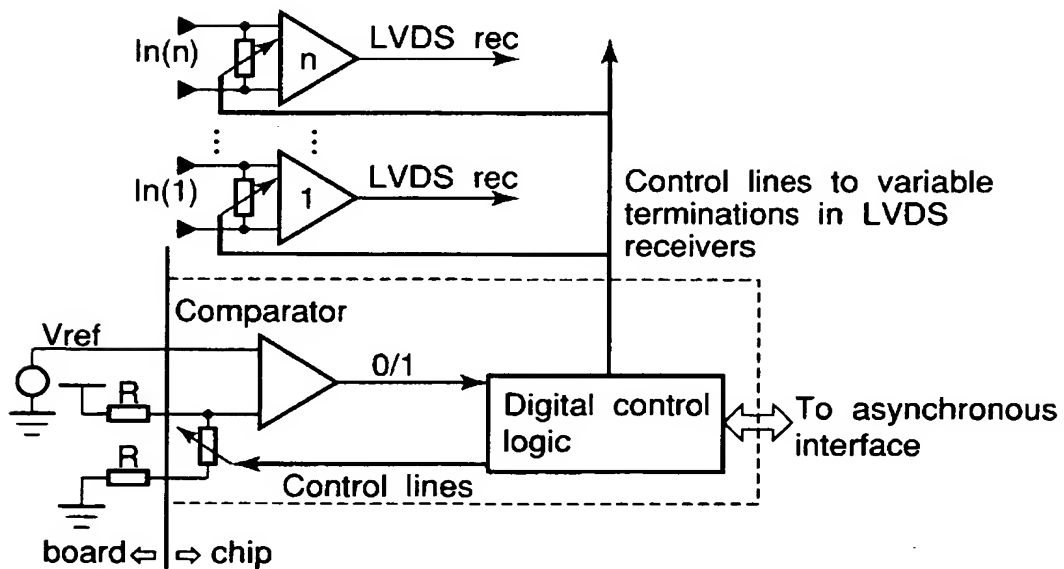
【図 26】



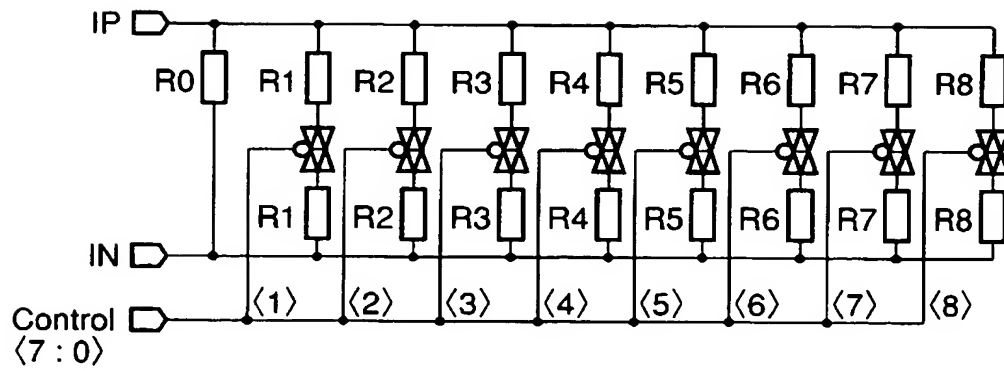
【図 27】



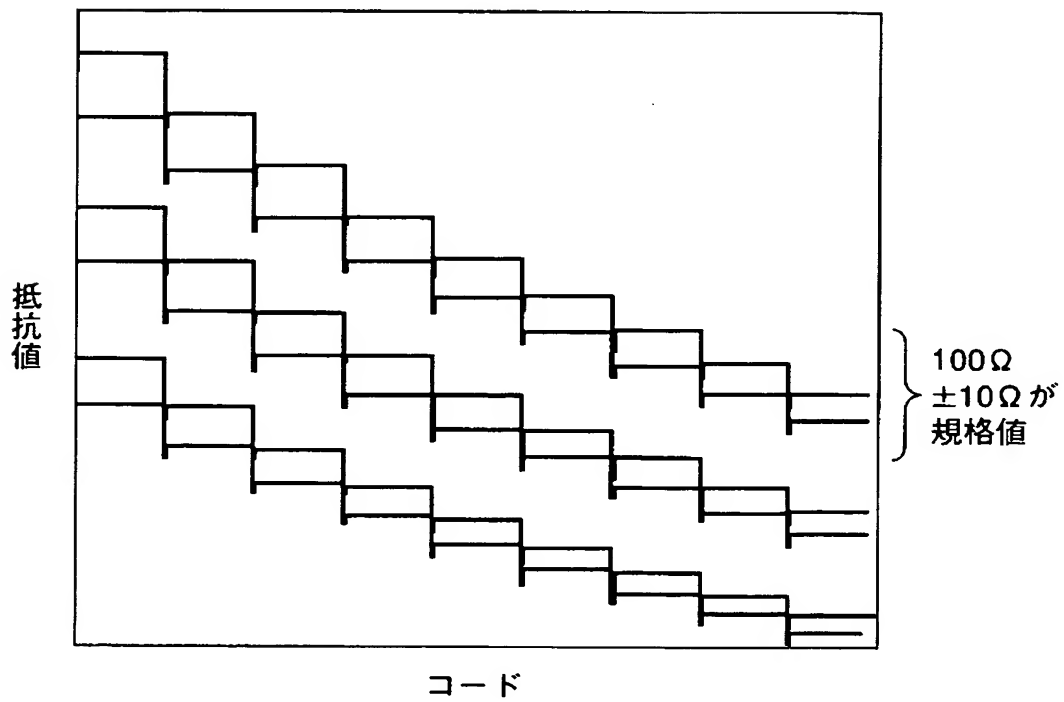
【圖 28】



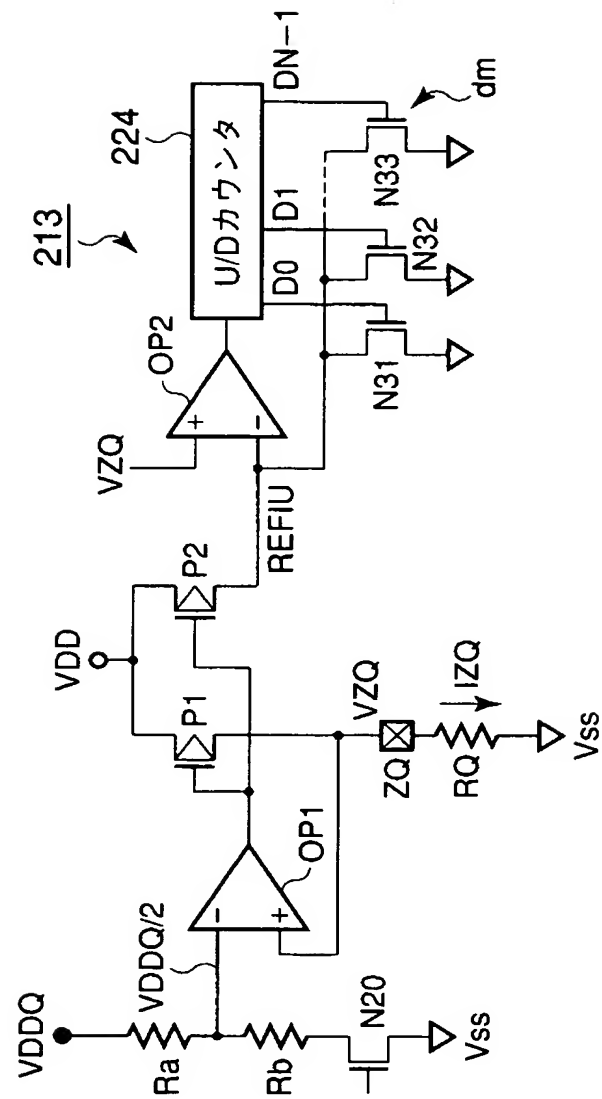
【図 29】



【図 30】



【図 3 1】



【書類名】 要約書**【要約】**

【課題】 製造バラツキの影響を排除し、高精度のトリミングを実現する。

【解決手段】 共通バイアス部 11 は、内蔵抵抗 R_1 と外部抵抗 R_{ext} が直列接続される直列回路と、第 1 入力端子に基準電圧 V_{ref} が入力され、第 2 入力端子がノード V_{r1} に接続され、出力端子が直列回路に接続されるオペアンプ OP1 とから構成される。インピーダンストリミング部 12 は、内蔵抵抗 R_{to} とインピーダンス模擬抵抗 R_{to_trim} が直列接続される直列回路と、第 1 入力端子がノード V_{r1} に接続され、第 2 入力端子がノード V_{t01} に接続されるコンパレータ CMP と、コンパレータ CMP の出力信号をクロック信号 CLK でラッチし、複数の切り替えコードを生成するコード制御回路 13 と、インピーダンス模擬抵抗 R_{to_trim} の抵抗値を切り替える回路とから構成される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 0 7 7 6 6
受付番号	5 0 3 0 1 4 4 0 3 7 9
書類名	特許願
担当官	植田 晴穂 6 9 9 2
作成日	平成 1 5 年 9 月 4 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【特許出願人】

【識別番号】	301063496
【住所又は居所】	神奈川県川崎市幸区堀川町 6 6 番地 2
【氏名又は名称】	東芝アイティー・ソリューション株式会社

【代理人】 申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

【選任した代理人】

【識別番号】	100108855
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	蔵田 昌俊

【選任した代理人】

【識別番号】 100084618
【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許
総合法律事務所内
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許
総合法律事務所内
【氏名又は名称】 橋本 良郎

特願 2 0 0 3 - 3 0 7 7 6 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝

特願 2 0 0 3 - 3 0 7 7 6 6

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 6 3 4 9 6]

1. 変更年月日

2 0 0 1 年 9 月 2 6 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 6 6 番 2

氏 名

東芝アイティー・ソリューション株式会社

2. 変更年月日

2 0 0 1 年 1 1 月 2 8 日

[変更理由]

住所変更

住 所

神奈川県川崎市幸区堀川町 6 6 番地 2

氏 名

東芝アイティー・ソリューション株式会社